

RESUMO

Silva, Rodrigo Martins da. *Implementação em hardware de redes neurais artificiais com topologia configurável*. 2010. 161f. Dissertação (Mestrado em Engenharia Eletrônica) – Faculdade de Engenharia, Universidade do Estado do Rio de Janeiro, Rio de Janeiro, 2010.

Nos últimos anos, o tema de redes neurais artificiais (RNAs) ganhou um destaque especial na área de sistemas inteligentes. Trata-se de um recurso poderoso na solução de problemas que envolvem previsão, reconhecimento de padrões, otimização e controle de servomecanismos, especialmente os não lineares. Em termos computacionais, uma rede neural pode ser implementada em *software* ou em *hardware* (ou ainda de maneira híbrida). O presente trabalho propõe uma arquitetura de *hardware* para a computação de uma rede neural com múltiplas camadas de neurônios. Soluções em *hardware* tendem a ser mais velozes (eficientes) do que soluções em *software*. Uma rede neural permite uso massivo de paralelismo, onde vários neurônios artificiais podem ser computados simultaneamente. O projeto em questão, além de explorar fortemente o paralelismo, permite que a topologia da rede neural seja configurável, isto é, o *hardware* suporta alterações (*on-line*) do número de entradas, número de camadas e de neurônios por camada. Assim, diversas aplicações de RNAs podem ser executadas no *hardware* proposto. Visando a uma redução de tempo do processamento aritmético, não foram utilizados números (e nem operações) em *ponto flutuante* da notação IEEE-754. Nesta dissertação, um número real é representado sob a forma de fração de inteiros. Dessa forma, as operações aritméticas limitam-se a operações inteiras, executadas por circuitos combinacionais. Uma simples máquina de estados é demandada para computar somas e produtos usando frações. A função de ativação do neurônio é a sigmóide e esta *não* é computada através de uma *Lookup Table*, mas se utiliza aritmética, onde são propostos dois teoremas que fundamentam a estratégia de cálculo da função de ativação. Além disso, a função de ativação sigmoide é computada mediante o uso de polinômios, cujas operações são regidas por somas e produtos. Dessa forma, reaproveita-se o circuito aritmético da soma ponderada para também computar a sigmóide. Os resultados finais de simulação da arquitetura proposta validaram o *hardware* e o próximo passo, portanto, será a *síntese* do sistema em FPGA.

Palavras-chave: Redes neurais artificiais, hardware para redes neurais, aritmética computacional, fração de números inteiros, função de ativação, sigmoide, paralelismo.