



Universidade do Estado do Rio de Janeiro

Centro de Tecnologia e Ciências

Faculdade de Engenharia

Dayane Mendonça Lessa

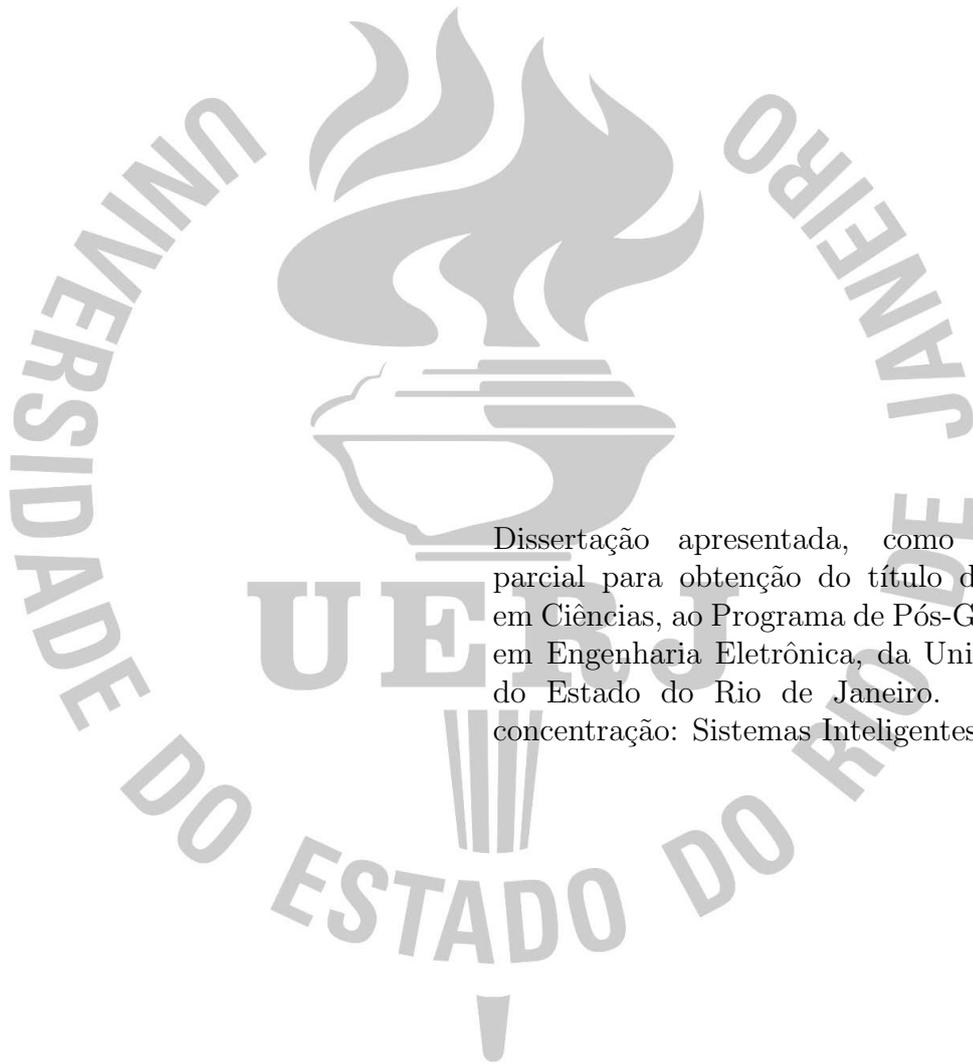
**Uso Combinado de Filtros Digitais com Circuitos de
Sincronismo Monofásicos**

Rio de Janeiro

2019

Dayane Mendonça Lessa

**Uso Combinado de Filtros Digitais com Circuitos de Sincronismo
Monofásicos**



Dissertação apresentada, como requisito parcial para obtenção do título de Mestre em Ciências, ao Programa de Pós-Graduação em Engenharia Eletrônica, da Universidade do Estado do Rio de Janeiro. Área de concentração: Sistemas Inteligentes.

Orientador: Prof. Dr. Luis Fernando Corrêa Monteiro

Orientador: Prof. Dr. Michel Pompeu Tcheou

Rio de Janeiro

2019

CATALOGAÇÃO NA FONTE
UERJ / REDE SIRIUS / BIBLIOTECA CTC/B

L638 Lessa, Dayane Mendonça.
Usos combinados de filtros digitais com circuitos de
sincronismo monofásico / Dayane Mendonça Lessa. –
2019.
105f.

Orientadores: Luis Fernando Corrêa Monteiro, Michel
Pompeu Tcheou.

Dissertação (Mestrado) – Universidade do Estado do Rio
de Janeiro, Faculdade de Engenharia.

1. Engenharia eletrônica - Teses. 2. Filtros digitais
(Matemática) - Teses. 3. Processamento de sinais -
Técnicas digitais - Teses. I. Monteiro, Luis Fernando
Corrêa. II. Tcheou, Michel Pompeu. III. Universidade do
Estado do Rio de Janeiro, Faculdade de Engenharia. IV.
Título.

CDU 621.391

Bibliotecária: Júlia Vieira – CRB7/6022

Autorizo, apenas para fins acadêmicos e científicos, a reprodução total
ou parcial desta tese, desde que citada a fonte.

Assinatura

Data

Dayane Mendonça Lessa

**Uso Combinado de Filtros Digitais com Circuitos de Sincronismo
Monofásicos**

Dissertação apresentada, como requisito parcial para obtenção do título de Mestre em Ciências, ao Programa de Pós-Graduação em Engenharia Eletrônica, da Universidade do Estado do Rio de Janeiro. Área de concentração: Sistemas Inteligentes.

Aprovado em: 25 de Fevereiro de 2019

Banca Examinadora:

Prof. Dr. Luis F. C. Monteiro, D.Sc. (Orientador)

Faculdade de Engenharia - UERJ

Prof. Dr. Michel Pompeu Tcheou, D.Sc. (Orientador)

Faculdade de engenharia - UERJ

Prof. Dr. Lisandro Lovisolo, D.Sc.

Faculdade de Engenharia - UERJ

Prof. Dr. João Amin Moor Neto, D.Sc.

Faculdade de Engenharia - CEFET

Rio de Janeiro

2019

AGRADECIMENTO

Agradeço a Deus pela oportunidade de realizar esse trabalho, concluir esse sonho, e conhecer todas as pessoas que passaram pelo meu caminho durante essa jornada.

Agradeço a minha família pelo suporte emocional durante todos os percalços no caminho, e que sempre torceram para que eu conseguisse realizar esse trabalho.

Agradeço as minhas amigas "Luisetes- Martha Roxana, Nayara Villela e Verônica Feijão - por tornarem a jornada mais leves e divertida.

Aos meu amigos Victor Rodrigues, Denis Ferreira, Aline Dibo e André Leopoldino por caminharem ao meu lado desde o início dessa jornada, e terem se tornado tão especiais durante essa etapa da minha vida.

Agradeço imensamente ao professor Cleiton Magalhães por estar sempre presente, e com paciência e bondade, auxiliar tirando dúvidas e cumprindo sua vocação independente de vínculos educacionais.

Agradeço aos meus orientadores Michel Tcheou pela paciência, otimismo e dedicação que teve me auxiliando durante a realização desse trabalho. E principalmente ao meu orientador Luis Monteiro, que durante todo esse período me orientou, motivou, e com muita paciência nunca desistiu de mim. Sem o seu apoio esse trabalho certamente não teria sido concluído.

E a todas as pessoas que de alguma forma contribuíram para a conclusão desse trabalho.

*Ergue-te e lança-te no mar,
e não duvidar em seu coração,
mas crer que se fará aquilo que diz,
tudo o que disser lhe será feito.*

Marcos 11:23

RESUMO

LESSA, Dayane M. *Uso combinado de filtros digitais com circuitos de sincronismo monofásicos*. 105f. Dissertação (Mestrado em Engenharia Eletrônica) - Faculdade de Engenharia, Universidade do Estado do Rio de Janeiro, Rio de Janeiro, 2019.

Circuitos de sincronismo do tipo PLL (*Phase-Locked Loop*) têm contribuído para modernizar redes elétricas em diferentes segmentos, como geração distribuída, identificação e caracterização de fenômenos relacionados a qualidade de energia, localização de falhas, entre outros. Particularmente, quando o PLL é utilizado em circuitos monofásicos, há a presença inerente do sinal oscilante em duas vezes a frequência fundamental da tensão da rede. Tal fato faz com que a dinâmica dos PLLs monofásicos fique comprometida, razão esta para a busca de alternativas que minimizem este problema. As alternativas apresentadas até o momento consistem em propostas de novas malhas de controle incluindo sinais auxiliares que acabam por eliminar essa componente oscilante quando o PLL está na condição de regime permanente e, desde que o sinal de entrada não esteja distorcido. Estes PLLs são conhecidos como OSG-PLL (*Orthogonal Signal Generator – Phase-Locked Loop*). No entanto, os OSG-PLLs monofásicos não são capazes de apresentar rápida resposta dinâmica sem comprometer a qualidade do sinal gerado. Desta forma, neste trabalho é explorada a combinação dos OSG-PLLs com filtros digitais sintonizados. O objetivo consiste na identificação de arranjos que apresentem rápida resposta dinâmica, sem comprometer a qualidade do sinal gerado. Estas condições são apresentadas em detalhe neste trabalho. Resultados de simulação e experimentais são apresentados para análise do desempenho dos arranjos para os circuitos de sincronismo explorados.

Palavras-chave: *Phase-Locked Loop*; Circuitos Monofásicos; Filtros Digitais; Distorção Harmônica; Tempo De Estabilização.

ABSTRACT

LESSA, Dayane M. *Combined use of digital filters with single-phase synchronism circuits*. 105f. Dissertação (Mestrado em Engenharia Eletrônica) - Faculdade de Engenharia, Universidade do Estado do Rio de Janeiro, Rio de Janeiro, 2019.

Phase-Locked Loop (PLL) synchronization circuits have contributed for the improvement to modern power grids in most of their aspects, such as chain generation, identification and characterization of contents related to power quality, fault location, among others. Particularly, when PLL is used in single-phase circuits, there is an inherent presence of the second harmonic component from the fundamental frequency of the grid voltage. This feature compromises the PLL performance and, therefore, several solutions to minimize this problem has been proposed. The alternatives presented so far are the proposal of new control loops including auxiliary signals to eliminate this oscillating component when the PLL is in the steady state condition, as long as the input signal is not distorted. These PLLs are known as the OSG-PLL (Orthogonal Signal Generator - Phase Locked Loop). However, single-phase OSG-PLLs do not present fast dynamic response without compromising the quality of the signal generated. Thus, in this work we explore the combination of OSG-PLLs with digital tuned filters. The objective is to identify arrangements that present a faster dynamic response, without compromising the quality (harmonic distortion) of the generated signal. These conditions are presented in detail in this dissertation. Simulation and experimental results of different OSG-PLL, together with digital tuned filters, were explored. Furthermore, there is also a comparison of their performances involving time-response due to a transient event and the harmonic distortion of the output signals when those PLLs are in steady-state condition.

Keywords: Phase-Locked Loop; Digital Filters; Harmonic Distortion; Settling Time; Single-phase circuits.

LISTA DE FIGURAS

Figura 1 - Diagrama em blocos do PLL.....	15
Figura 2 - Desenho do circuito de sincronismo proposto por Bellescize, 1932 [1].....	18
Figura 3 - Diagrama de blocos do PLL sem o sinal ortogonal auxiliar.....	29
Figura 4 - Saída do PLL e FFT do sinal de saída.....	30
Figura 5 - Saída do PLL influenciado pelo erro e FFT do sinal de saída.....	31
Figura 6 - Erro na entrada do controlador PI com o sinal de entrada sem distorção ($e_1(t)$), com distorção ($e_2(t)$), incluindo as correspondentes componentes médias.....	33
Figura 7 - Diagrama de blocos do PLL sem o sinal ortogonal auxiliar com filtro.	34
Figura 8 - Resposta em frequência do filtro IIR de 1º ordem.....	35
Figura 9 - Erro do PLL com e sem distorção harmônica, antes e após inserção de um filtro passa-baixa de 1º ordem.....	37
Figura 10-Resposta em frequência do filtro IIR de 2ª ordem.....	38
Figura 11-Erro do PLL com e sem distorção harmônica, antes e após inserção de um filtro passa-baixa de 2º ordem.....	39
Figura 12- Resposta em frequência do filtro IIR de 4º ordem.....	40
Figura 13- Erro do PLL com e sem distorção harmônica, antes e após inserção de um filtro passa-baixa de 4º ordem.....	41
Figura 14- Atenuação do sinal do erro do PLL em relação ao FPB FIR de 16ª ordem com dois tipos diferentes de janelas.....	42
Figura 15- Erro do PLL com e sem distorção harmônica, antes e após inserção de um filtro passa-baixa FIR de 16º ordem.....	43
Figura 16- Lugar das raízes em função do fator de qualidade $Q = 0, 1$ e $Q = 35$	44
Figura 17- Resposta em frequência do filtro IIR de 2ª ordem, com fator de qualidade em $Q = 1, Q = 5, Q = 10$ e $Q = 35$	45
Figura 18- Erro do PLL com e sem distorção harmônica, antes e após inserção de um filtro notch.....	46

Figura 19- $v_{in}(t)$ e $pll(t)$, sem filtro notch e com filtro nocth. Os resultados foram obtidos com o eixo da abscissa apresentando 2,5 ms/div e o eixo da ordenada com 1 V/div	48
Figura 20- caso (b): FFT do sinal de saída com e sem filtro notch. Os resultados foram obtidos com o eixo da abscissa apresentando 62,5 Hz/div e o eixo da ordenada com 10 dB/div	49
Figura 21- Comportamento do erro médio após filtragem. Os resultados foram obtidos com o eixo da abscissa apresentando 50 ms/div e o eixo da ordenada com 1 V/div	50
Figura 22- Diagrama de controle do PLL com entrada em quadratura	52
Figura 23- Diagrama do EPLL.....	54
Figura 24-Comportamento de $v_{in}(t)$ e $y(t)$, $e_f(t)$ e $\bar{e}_f(t)$ com um sinal de entrada com e sem distorção harmônica.....	56
Figura 25-Espectro harmônico, \bar{e}_f e \bar{e}_a para um sinal de referência distorcido	57
Figura 26 Diagrama em blocos do EPLL com filtro inserido na malha de fase e frequência	58
Figura 27 Metodologia de sintonia para o controle do PLL.....	59
Figura 28- Comportamento $e(t)$ e $\bar{e}(t)$ das malhas de fase e amplitude.	60
Figura 29- Superfície dos tempos de assentamento do erro da malha da amplitude ..	62
Figura 30- Superfície dos tempos de assentamento do erro da malha da fase	62
Figura 31- Dispersão gerada pelos THDs e ganhos da fase	63
Figura 32- Comportamento dos sinais do EPLL com filtro passa-baixa	64
Figura 33- Superfície dos tempos de assentamento do erro da malha de amplitude...	65
Figura 34- Superfície dos tempos de assentamento do erro da malha de fase.....	66
Figura 35- Dispersão dos valores de THD em função de k_{if}	67
Figura 36-Comportamento dos sinais do EPLL com filtro notch para $v_{in}(t)$ com e sem distorção harmônica.....	68
Figura 37- Dinâmica do sinal com filtro notch. Os resultados foram obtidos com o eixo da abscissa apresentando 10 ms/div e o eixo da ordenada com 1 V/div	69
Figura 38- FFT do sinal após filtro notch. Os resultados foram obtidos com o eixo da abscissa apresentando 62,5 ms/div e o eixo da ordenada com 10 dB/div	70
Figura 39- Diagrama do SOGI-PLL	71

Figura 40- Resposta ao degrau para $v_\alpha(t)$ em função de diferentes valores de K	74
Figura 41 SOGI-PLL com inclusão do filtro digital.....	75
Figura 42 Superfície dos tempos de assentamento do erro da malha de fase	76
Figura 43- Dispersão dos ganhos k_i em função dos valores de THD.....	77
Figura 44-Comportamento do sinal de saída, erro e FFT de um sinal com filtro.....	78
Figura 45- Superfície dos tempos de assentamento do erro da malha de fase.....	79
Figura 46- Superfície de contorno para os ganhos do FPB.....	80
Figura 47-Comportamento do sinais do SOGI-PLL com FPB.	80
Figura 48- Dinâmica do sinal com filtro notch. Os resultados foram obtidos com o eixo da abscissa apresentando 25 ms/div e o eixo da ordenada com 1 V/div	81
Figura 49- Dinâmica do sinal com filtro notch. Os resultados foram obtidos com o eixo da abscissa apresentando 62,5 Hz/div e o eixo da ordenada com 10 dB/div	82
Figura 50- PLL com o filtro passa-tudo	84
Figura 51- Esquema em amp-op de um filtro passa-tudo	85
Figura 52- Diagrama em blocos do Filtro passa-tudo [2]	86
Figura 53 APF-PLL com filtro inserido na malha	87
Figura 54 Superfície dos tempos de assentamento do erro da malha de fase	88
Figura 55- Dispersão dos valores do THD em função de k_p	89
Figura 56- Comportamento do APF-PLL com filtro notch	90
Figura 57 Superfície dos tempos de assentamento do erro da malha de fase	91
Figura 58- Ganhos <i>versus</i> tempos de convergência	91
Figura 59- Comportamento dos sinais do APF-PLL quando não há e quando há distorção harmônica no sinal de entrada.	93
Figura 60- Resultados experimentais para o APF-PLL com filtro notch. Os resulta- dos foram obtidos com o eixo da abscissa apresentando 25 ms/div e o eixo da ordenada com 1 V/div para o sinal do erro, e com o eixo da abscissa apresentando 62,5 Hz/div e o eixo da ordenada com 10 dB/div para a FFT	94

LISTA DE TABELAS

Tabela 1 - Tempo de assentamento e THD para os sinais (a)sem distorção harmônica e (b)com componentes harmônicas para um PLL sem sinal ortogonal	32
Tabela 2 - Tempo de assentamento e THD para os sinais de referência com e sem distorção harmônica, após filtragem com FPB IIR de 1ª ordem	37
Tabela 3 - Tempo de assentamento e THD para os sinais de referência com e sem distorção, após filtragem com o FPB IIR de 2ª ordem	39
Tabela 4 - Tempo de assentamento e THD para os sinais de referência com e sem distorção, após filtragem com o FPB IIR de 4º ordem	40
Tabela 5 - Tempo de assentamento e THD para os sinais de referência com e sem distorção harmônica, após filtragem com FPB FIR de 16ª ordem	44
Tabela 6 - Tempo de assentamento e THD para os sinais sem e com distorções harmônicas após filtragem com filtro notch de 2ª ordem	47
Tabela 7 - Sumário dos melhores tempos de convergência e THD	50
Tabela 8 -Tempo de assentamento e THD	57
Tabela 9 - THD e tempo de assentamento para um FPB IIR de diferentes ordens...	61
Tabela 10- THD e Tempo de assentamento para $k_{pf} = 85$, $k_{if} = 8200$ e $k_{ia} = 150$	63
Tabela 11- THD e Tempo de assentamento	67
Tabela 12- Sumário de Resultados para o EPLL.....	70
Tabela 13- THD e tempo de convergência do SOGI-PLL com filtro notch	78
Tabela 14- THD e Tempo de assentamento para o SOGI-PLL com FPB IIR de 2ª ordem	80
Tabela 15- Resumo dos Resultados obtidos para o SOGI-PLL com filtros digitais....	83
Tabela 16- THD e tempo de convergência para o APF-PLL com filtro nocth	90
Tabela 17- THD e Tempo de assentamento para o FPB IIR de 2ª ordem	92
Tabela 18- Sumário de Resultados para o APF-PLL	95
Tabela 19Resumo dos tempos de convergência e THD dos QSG-PLLs com filtro que obtiveram melhor dinâmica.	96

LISTA DE SIGLAS

PLL	<i>Phase Locked Loop</i>
pPLL	<i>Power-based Phase Locked Loop</i>
DPLL	<i>Digital Phase Locked Loop</i>
EPLL	<i>Enhanced Phase Locked Loop</i>
SRF	<i>Synchronous Reference Frame</i>
VCO	Oscilador Controlado por Tensão
PD	Detector de Fase
LF	<i>Loop Filter</i>
PI	<i>Proportional Integrator</i>
FIR	<i>Finite Impulse Response</i>
IIR	<i>Infinite Impulse Response</i>
FFT	<i>Fast Fourier Transform</i>
THD	<i>Total Harmonic Distortion</i>
OSG	<i>Orthogonal Signal Generator</i>
QSG	<i>Quadrature Signal Generator</i>
SOGI	<i>Second-Order Generalized Integrator</i>
AMP-OP	Amplificador Operacional
APF	<i>All-Pass Filter</i>
FPB	Filtro Passa-Baixas
DC	<i>Direct Current</i>
CC	Corrente Contínua
CA	Corrente Alternada
DSP	<i>Digital signal processing</i>

SUMÁRIO

	INTRODUÇÃO	11
1	ESTADO DA ARTE	15
2	INTRODUÇÃO AO PLL SEM O SINAL ORTOGONAL AUXILIAR	24
2.1	A Introdução	24
2.2	PLL sem o Sinal Ortogonal Auxiliar	25
2.2.1	PLL Sem o Sinal Auxiliar Ortogonal Com o FPB IIR	30
2.2.1.1	FPB IIR de 1 ^a ordem	33
2.2.1.2	FPB IIR de 2 ^a ordem	35
2.2.1.3	FPB IIR de 4 ^a ordem	36
2.2.2	PLL Sem o Sinal Auxiliar Ortogonal Com o FPB FIR com Janelas	38
2.2.3	PLL Sem o Sinal Auxiliar Ortogonal Com o Filtro Notch	41
2.3	Resultados Experimentais	44
2.4	Conclusões Parciais	47
3	ENHANCED PHASE-LOCKED LOOP - EPLL	48
3.1	Introdução aos PLLs com Sinal Ortogonal Auxiliar	48
3.2	Introdução ao EPLL	50
3.3	Análise Matemática do EPLL	51
3.4	EPLL com Filtros Digitais	54
3.4.1	Sintonia dos ganhos	54
3.4.2	EPLL com Filtro Passa-Baixas IIR	56
3.4.3	EPLL com Filtro Notch de 2^a ordem	60
3.5	Resultados Experimentais	64
3.6	Conclusões Parciais	66
4	SOGI-PLL	67
4.1	Introdução ao SOGI-PLL	67
4.2	Modelo matemático do SOGI-PLL	68
4.3	SOGI-PLL com Filtros Digitais	71

4.3.1	SOGI-PLL com filtro Notch de 2^a ordem	72
4.3.2	SOGI-PLL com filtro Passa-Baixa IIR de 2^a ordem	74
4.4	Resultados Experimentais	77
4.5	Conclusões Parciais	78
5	APF-PLL	80
5.1	Introdução ao APF-PLL	80
5.2	Análise matemática do APF-PLL	80
5.3	APF-PLL com Filtro Digital	83
5.3.1	APF-PLL com filtro Notch de 2^a ordem	84
5.3.2	APF-PLL com filtro Passa-Baixa IIR de 2^a ordem	87
5.4	Resultados Experimentais	89
5.5	Conclusões Parciais	90
	CONCLUSÃO	92
	REFERÊNCIAS	94

INTRODUÇÃO

O circuito de sincronismo do tipo PLL (*Phase-Locked Loop*) é essencial para circuitos de instrumentação e controle que necessitam de tensões e correntes sincronizadas com a tensão da rede elétrica. De fato, o uso do PLL contribuiu para a modernização das redes elétricas em diferentes segmentos como, por exemplo, geração descentralizada, identificação e caracterização de fenômenos relacionados à qualidade de energia, localização de pontos da rede onde ocorreram curto-circuitos, entre outros [3], [4], [5], [6], [7].

Basicamente, a partir do trabalho desenvolvido por [8], [9] e [2], este trabalho investiga a aplicação de filtros digitais de resposta ao impulso finita (FIR) e resposta ao impulso infinita (IIR) em sistemas de sincronismo do tipo PLL. O objetivo é atenuar as componentes harmônicas a fim de reduzir os efeitos indesejáveis relacionados à perda espectral, o que impacta em diferentes características do sistema como: resolução, dinâmica, confiabilidade e facilidade de implementação [10].

Outro aspecto importante reside no esforço computacional para implementar esses filtros dentro dos arcabouços do sistema de sincronismo envolvendo o PLL e os demais algoritmos de controle. Para implementação de um esquema de sincronismo através de micro-controladores, deve-se projetar os filtros digitais de modo a atender especificações de desempenho, como o tempo de execução do algoritmo ser o menor possível, permitindo um aumento da frequência de amostragem [11]. Com o estudo apresentado são esperadas algumas contribuições para o arranjo dos filtros, que resultam na geração dos sinais de saída com menor taxa de distorção harmônica (THD) possível e melhor tempo de resposta ao transitório inicial.

O diagrama em blocos de uma estrutura básica de um PLL [12] é exibido na Figura 1. Ele é composto por: um detector de fase, um oscilador controlado por tensão (VCO) e o *loop filter*. O *loop filter* (LF) corresponde a um controlador do tipo proporcional-integral, o que indiretamente resulta em um filtro do tipo passa-baixas [13]. Essencialmente, assumindo que a frequência fundamental foi identificada, um sinal de erro proporcional à diferença de fase entre o sinal produzido pelo VCO e a componente fundamental do sinal de referência $v_{in}(t)$ é gerado pelo detector de fase. O *loop filter* é responsável por suprimir os distúrbios dentro da malha de controle do PLL [14] e controlar a frequência gerada pelo VCO, mantendo o sinal de saída sincronizado com a componente fundamental do

sinal de entrada.

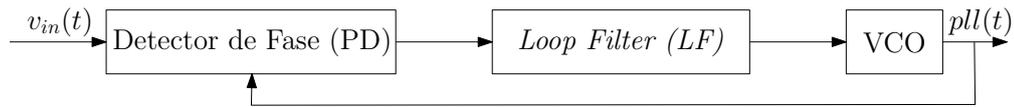


Figura 1 - Diagrama em blocos do PLL

Identificação do Problema

Um dos problemas encontrados em PLLs monofásicos é a propagação de uma componente oscilante nos sinais internos do PLL, independentemente do PLL estar operando em regime permanente e ter um sinal de entrada composto apenas pela componente fundamental. Uma alternativa para mitigar o problema, foi o uso de um sinal auxiliar que esteja em quadratura com a componente fundamental do sinal de entrada. Logo, para um sinal de entrada composto apenas pela componente fundamental, o PLL monofásico em regime permanente tem comportamento similar ao PLL trifásico, eliminando a componente de segunda harmônica quando o PLL encontra-se em regime permanente. Desta forma, tal componente harmônica surge somente quando ocorrem transitórios.

No entanto, vale ressaltar que a tensão da rede monofásica usualmente apresenta distorção harmônica principalmente da 3^o e 5^o harmônicas. Desta forma, para um sinal de entrada distorcido, os sinais internos do PLL apresentam componentes oscilantes mesmo quando este opera em regime permanente, comprometendo seu desempenho. Nesse contexto, este trabalho explorou diferentes combinações de PLLs e filtros digitais com o intuito de obter uma combinação envolvendo o circuito PLL monofásico com o filtro digital capaz de cumprir o melhor arranjo a partir de determinadas condições.

Motivação Para o Trabalho

O trabalho teve como início o estudo do arranjo apresentado em [15], onde é proposta a inclusão de filtros digitais no circuito PLL, com a análise do seu modelo linearizado, assumindo que a frequência foi identificada, e com a inclusão de uma metodologia para determinar os ganhos ótimos do PLL. O filtro corresponde a um filtro do tipo passa-baixas com janela retangular, e está localizado antes da malha de realimentação, de modo que o PLL fique menos sensível a ruídos e variações de frequência e amplitude dos sinais

de entrada, principalmente quando há ocorrência de transitórios com o surgimento da componente na segunda harmônica.

Nesse sentido, foram simulados quatro modelos de circuitos PLL: o PLL convencional sem sinal auxiliar de quadratura, e três modelos de PLLs monofásicos com sinal ortogonal auxiliar: o EPLL proposto por [16], o SOGI-PLL descrito em [9] e o PLL com filtro passa-tudo encontrado em [2]. Esses modelos de PLL geram internamente componentes em quadratura com a componente fundamental do sinal de entrada, melhorando o seu desempenho.

Essencialmente foram feitas simulações comparativas para os três tipos de PLL, assumindo que a tensão de entrada não tem distorção harmônicas, e em seguida inserindo distorções harmônicas no sinal de entrada. Ambas as análises foram associadas a melhora da dinâmica do circuito quando inseridos filtros digitais.

Objetivo

O objetivo deste trabalho consiste em identificar arranjos entre QSG-PLLs (*Quadrature Signal Generator-based PLLs*) [17] e filtros digitais sintonizados que apresentem rápida resposta dinâmica, sem comprometer a qualidade do sinal gerado. Inicialmente, foram simulados quatro modelos de circuitos PLL: o PLL convencional (sem sinal auxiliar em quadratura), o *Enhanced PLL* (EPLL) [18], o PLL com Integrador Generalizado de Segunda Ordem (*Generalized Second Order Integrator*), rotulado na literatura como SOGI-PLL [9] e um modelo de PLL cuja entrada é defasada em 90° por um filtro passa-tudo a fim de gerar o sinal de quadratura, o APF-PLL (*All-Pass Filter*) [2].

Tendo como base a análise apresentada em [19], observou-se que poderia haver uma possível melhora utilizando filtros nos circuitos PLLs monofásicos, desde que haja uma sintonia apropriada dos ganhos para que a dinâmica do circuito seja melhorada. Os filtros foram incluídos antes da malha de realimentação, de modo que o PLL ficasse menos sensível a ruídos ou variações de frequência e amplitude do sinal de entrada. Quando o sinal é gerado, ocorre em duas fases: o regime transitório, que é o período em que a frequência e o ângulo de fase do sinal de saída é dinamicamente ajustado até que o valor médio do sinal na entrada do *loop filter* seja igual a zero, e o regime permanente, onde não há mais variações do sinal e o *ripple* do sinal de entrada do *loop filter* não tem mais alterações. Quando acontece o transitório, naturalmente aparece uma componente no

sinal correspondente a duas vezes o valor da componente fundamental. Então um dos focos do trabalho é explorar a possibilidade do uso de filtros sintonizados quando há um sinal de entrada com componentes harmônicas, com o objetivo de manter o sinal de saída com baixa distorção harmônica sem comprometer a dinâmica do PLL.

Estrutura da Dissertação

Este trabalho prossegue com o capítulo 1, onde é apresentada a evolução do circuito de sincronismo tipo *Phase-Locked Loop*, desde a ideia inicial de [1] passando por seu uso em sistemas de telecomunicações [20] e condicionadores de energia [21], até sua ramificação em diferentes modelos de PLLs que evoluíram de circuitos analógicos para digitais [22], e seu uso em circuito trifásicos [23] e monofásicos [24].

O capítulo 2 introduz o conceito de *phase-locked loop*, detalhando cada parte que o compõe, e introduzindo filtros em sua estrutura. Sua dinâmica é sintetizada e a abordagem de melhoria com o uso de filtros em PLLs com sinais de quadratura [14] é incorporada.

Em seguida, os capítulos 3, 4 e 5 descrevem os modelos de PLL estudados durante esse trabalho: EPLL [25], SOGI-PLL [26], [9] e APF-PLL [2], respectivamente. No início de cada capítulo é feita uma introdução conceitual sobre as estruturas, seguido de análise matemática aprofundada, e por fim descreve-se o método de sintonia dos ganhos em conjunto com o uso de filtros digitais nas malhas dos PLLs. Os tópicos com filtros exibem os resultados de simulação usando software MatLab, mostrando o desempenho de cada tipo de PLL estudado, além dos resultados experimentais realizados usando o processador digital de sinais DSP 28335, impondo duas situações a serem testadas: com o sinal de entrada sem distorções harmônicas e com o sinal de entrada distorcido com o 3º, 5º e 7º harmônicas além da fundamental.

Por fim, o trabalho é consolidado pelas considerações finais e sua conclusão apresenta comparações entre as estruturas de PLLs, como, tempo de resposta, distorção harmônica e a redução do sinal de erro na entrada dos controladores.

1 ESTADO DA ARTE

Embora muitas vezes consideremos os circuitos de sincronismo como estruturas relativamente novas, o PLL na sua estrutura mais elementar utilizado no sincronismo de osciladores data de 1919 [27]. Nessa época, *Vincent* [28] e *Appleton* [29] experimentaram e analisaram a sincronização prática de osciladores.

Segundo [1], o circuito de sincronismo PLL que conhecemos foi inventado pelo engenheiro francês *Henri de Bellescize* em 1932, com objetivo de desenvolver um demodulador síncrono para um receptor AM. A Figura 2 ilustra o desenho do circuito de sincronismo proposto por *Bellescize*. Pode ser observado o uso de capacitores tanto antes da saída (H) do circuito quanto na entrada (S). Em derivação entre a entrada e a saída está o tubo de elétrons, que pelas suas características, a forma de onda na sua saída corresponde ao produto entre os sinais de entrada e saída do circuito, e por fim, há um circuito RC. Com isso, a queda de tensão no circuito RC é proporcional ao erro de fase entre os sinais de entrada e saída. De acordo com o esquema do circuito apresentado na Figura 2, na saída do tubo de elétrons à direita do circuito há a soma do produto entre os sinais de entrada e saída, que apresenta uma componente média, com o sinal CC de um banco de baterias. É importante comentar que tanto o valor médio do produto entre os sinais de entrada e saída quanto a tensão CC do banco de baterias incide sobre o resistor do circuito RC, com isso esta tensão CC sobre o resistor modula o erro de fase no oscilador.

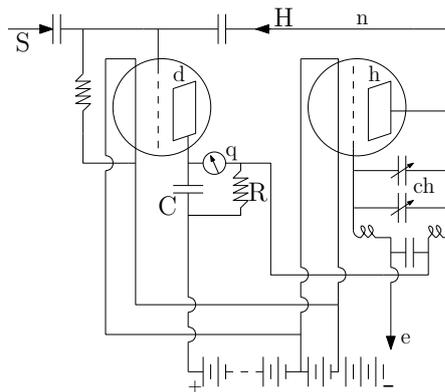


Figura 2 - Desenho do circuito de sincronismo proposto por Bellescize, 1932 [1].

Conforme citado em [20], em 1935 *Travis* [30] sugeriu o controle do receptor de um oscilador local baseado em desvios gerados por oscilações de frequência que causavam interferências em alguns canais de comunicação. Com objetivo de diminuir a quanti-

dade de elementos mecânicos em seu receptor, *Travis* projetou seu controlador totalmente eletrônico composto por dois elementos principais: o oscilador sintonizado por métodos eletrodinâmicos, e o diferenciador de frequência que era responsável por propagar o erro na tensão de controle para o oscilador. O segundo foi um retificador diferencial semelhante ao desenvolvido por *Foster* e *Seely* em 1939, hoje conhecido como diferenciador *Foster-Seely* [31].

Segundo [20], até 1940 a pesquisa e o desenvolvimento era restrito tanto ao desenvolvimento de um oscilador local a ser utilizado em um demodulador FM quanto para um excitador utilizado em um amplificador do acelerador de partículas atômicas.

Nesse período, ainda não havia técnicas para manter a tensão de controle constante e para manter a componente CC estabilizada, o que eram problemas comuns na época. Foi quando *Vicent Rideout* descreveu um controle automático de frequência em circuitos servomecânicos [20] após perceber que o controle no amplificador não acumulava o erro na tensão, e aplicou correções diferenciais no oscilador de frequência.

Durante a segunda guerra mundial, em 1945, houve novas exigências para equipamentos com servomecanismos. Então, nessa época novas técnicas analíticas para controle envolvendo equações diferenciais matemáticas foram desenvolvidas, já que anteriormente eram feitas usando-se a análise de estabilidade da realimentação de amplificadores.

No final dos anos 40 e início dos anos 50, a Comissão Federal de Comunicações (*Federal Communications Commission* - FCC) estipulou que a frequência central dos radiodifusores FM fosse de 2 kHz, logo após a empresa *Collins Radio Company* de *Cedar Rapids, Iowa*, produzir um excitador para transmissores FM comerciais.

Ainda no início dos anos 50 encontrou-se um outro propósito para o circuito de sincronismo inventado por *Bellesize*. Assim como foi descrito em [1], ele foi aplicado em larga escala industrial nos receptores de TVs a cores e, mais tarde, os PLLs começaram a ter seu uso intensificado em sistemas de telecomunicações e rádio frequência.

De acordo com [20], *McAleer* [32] propôs três principais aplicações para o PLL: (a) aumentar o nível de potência e atenuação de ruídos em receptores de sinais FM, (b) redução de *jitter* ou ruído de frequência de um oscilador de alta potência, e (c) como filtro de largura de banda estreita. Sua aplicação mais ampla era como filtro do tipo passa-baixas para sinais FM e filtros do tipo passa-altas nas saídas de osciladores.

Nessa mesma época os projetistas dos circuitos PLL começaram a estudar métodos

não-lineares de operação do circuito, utilizando equações diferenciais de segunda ordem, que ao contrário da análise linear, não tem a simplicidade analítica das funções de transferência, tornando a sua análise mais difícil e exigindo um nível maior de sofisticação matemática.

Em 1956 um circuito conhecido por *Costas loop* [33] foi inventado pelo engenheiro eletricista *John P. Costas*, e utilizado para recuperar a frequência de portadoras de sinais de modulação de portadora suprimida e sinais de modulação de fase, mas sua principal aplicação foi em receptores sem fio.

Seu diferencial em relação aos PLLs baseados em detectores de fase é que em pequenos desvios o *Costas loop* tinha o dobro de sensibilidade para o erro da tensão, além de tornar o circuito apropriado para rastrear desvios causados pelo efeito *Doppler* em sinais OFDM (*orthogonal frequency-division multiplexing*) e receptores GPS (*Global Positioning System*). De acordo com [34], o *Costas loop* foi descritos tendo “um profundo efeito nas comunicações digitais modernas”.

No final da década de 50 o projeto do PLL analógico ganhou maturidade sendo aplicado em servomecanismos [35]. Em 1965 o primeiro PLL analógico foi desenvolvido e utilizado como um detector de fase chamado PLL linear (LPLL), mas ainda havia atrasos de tempo no sinal, devido à propagação através de filtros ou amplificadores. Com o avanço da tecnologia, por volta dos anos 70 do século XX, foi desenvolvido um modelo híbrido [36], [37], que possuía o detector de fase implementado por meio de um circuito digital, desenvolvido por meio de portas lógicas ou mesmo um *flip-flop*, mas mantinha o oscilador e o controlador analógicos [38].

Diante do progresso dos PLLs nos sistemas de comunicação, seu uso se expandiu para produtos eletrônicos, especialmente em aparelhos eletrônicos comuns, e então a pesquisa foi ampliada para sistemas de controle de velocidade por motor síncrono [39], [40] e desde então, sistemas servomecanismos bloqueados por fase (*phase-locked servo systems* - PLS) foram rapidamente desenvolvidos para servomecanismos dos motores CA e DC usando PLL analógico [22], [41].

A melhoria no desempenho, associada à recente tecnologia de alto desempenho com redução de custo dos circuitos integrados e microprocessadores digitais [42], [43], estimulou a implementação do PLS totalmente digital. Tal fato levou ao desenvolvimento de novos tipos de controladores com recursos adicionais do PLS para obter uma natureza

de fácil uso e fácil controle para os servo-acionadores CA e DC [22].

O avanço tecnológico permitiu conceber os primeiros circuitos PLL digitais, chamados de DPLL (PLL Digital) [44], [45], [46], que ao contrário dos PLLs analógicos [47], [48], tinham menor sensibilidade a desvios de componente DC e saturação no sinal. Devido a sua capacidade em processar os dados em tempo real, os DPLLs se tornaram mais flexíveis e posteriormente começaram a ser desenvolvidos de maneira embarcada, onde um *software* desempenha a função do PLL utilizando um *hardware* específico.

Em [49] é descrito o funcionamento de filtro ativo para sistemas trifásico que contém um sistema de controle fornecendo compensação de harmônicos e potência reativa. Nesse modelo, as correntes de carga são multiplicadas pelas tensões senoidais de entrada, que fazem uso de referências senoidais e simétricas mantidas em fase com as tensões de linha por meio de um PLL. Nesse contexto, o PLL também está em fase com as tensões de referência para obter um sinal de potência proporcional à potência instantânea que entra na carga, calculado pela média do filtro passa-baixas, e resulta em um sinal proporcional à potência de carga média. Caso as tensões de linha sejam assimétricas ou não sejam senoidais, esta implementação não realiza o cálculo da potência de carga instantânea corretamente, tendo que compensar os cálculos. No entanto, mesmo assim acaba sendo afetado por erros no cálculo da potência de carga instantânea que geram distorções de correntes de carga ou tensões de linha, que produzem desvios na frequência do sistema gerando componentes múltiplas da frequência fundamental.

Em 1997 foi desenvolvido um modelo de PLL trifásico [23], cuja análise era feita por meio e análise no domínio da frequência, baseada na transformada síncrona padrão do modelo de referência síncrona trifásica, SRF (*synchronous reference frame*) [50], [51]. O principal objetivo desse modelo era atuar em situações de interface de controle, sob condições de distorção harmônica para reduzir perda de ganho, harmônicas na linha e perturbações de frequência.

Quando a tensão de fase amostrada é transformada na referência síncrona, resulta na tensão de quadratura. No PLL apresentado em [23], a malha de controle é fechada em torno do eixo correspondente ao valor do sinal que entra na malha de fase, chamado de q , que define o valor do ângulo de fase e frequência do sinal. Quando o erro do ângulo de fase é bem pequeno, o PLL é capaz de travar a tensão da rede elétrica em uma referência através da regulação da tensão no eixo q , e a informação sobre a magnitude da tensão se

torna dispensável.

Dentro deste contexto pode ser observado o uso do circuito PLL em algoritmos de controle para condicionadores de energia conectados em redes elétricas trifásicas. No entanto, o uso do PLL em circuitos monofásicos foi difundido a partir do início do Séc XXI. O trabalho desenvolvido por [21], apresentou uma análise relacionada a influência dos ganhos em relação à robustez do sistema em um PLL monofásico. Nesta análise foi definido que quanto maiores são os ganhos integrais, maior é sua aproximação dos pólos do sistema, o que reduz sua robustez. Em relação aos ganhos proporcionais, foi definido que eles influenciam na largura de banda e quanto maior o ganho proporcional, maior é a largura de banda, o que também deteriora a robustez do sistema.

Nesta conjuntura, o PLL também foi aplicado em condicionadores ativos de energia utilizados em circuitos monofásicos com o objetivo de identificar a magnitude e ângulo de fase da componente fundamental da tensão da rede. A questão central que dificultou a utilização do PLL monofásico foi a presença de sinais com segunda harmônica, mesmo quando se trata do caso mais simples, que corresponde a uma tensão sem distorção harmônica alimentando uma carga resistiva, por exemplo. Esta segunda harmônica nos sinais internos do PLL influencia na dinâmica do sistema, tornando-a lenta. Desde então começaram os trabalhos na busca de alternativas para minimizar este problema.

Em [24] uma estrutura de PLL monofásico, derivada da topologia referencial síncrona (SRF) de PLL trifásico, para detectar o ângulo de fase, a frequência e a amplitude do vetor de tensão da rede elétrica, foi introduzida. Ela consiste em simular um sistema trifásico equilibrado, onde um dos eixos se refere à tensão da estrutura estacionária e equivale à fase única da tensão do sistema, enquanto o outro eixo equivale à tensão internamente produzida pelo PLL através de uma transformação *Clark - Park*, usada na mudança de base dos fasores girantes simplificando o seu estudo. O bloco de transformação *Clark-Park* altera a representação da variável simulada de três fases para as variáveis ortogonais: v_d e v_q , em um referencial síncrono de rotação positiva [52], e faz uso de um sinal auxiliar de amplitude unitária, em quadratura com a componente fundamental do sinal de entrada.

Para esse modelo, é necessário haver uma detecção precisa e rápida do ângulo de fase da tensão da rede a fim de garantir a geração correta dos sinais de referência, então uma característica interessante da topologia do SRF-PLL, é que tanto para o modelo

trifásico, quanto para o modelo monofásico, a frequência pode ser ajustada para fornecer uma resposta rápida e dinâmica ao rastrear o ângulo de fase, sendo capaz de fornecer valores instantâneos da frequência e amplitude da tensão do sinal.

Os PLLs baseados em sinal de quadratura, QSG-PLLs, atuam com um comportamento similar ao comportamento dos PLLs trifásicos, fazendo com que a componente oscilante na segunda harmônica existente durante o período transitório seja eliminada assim que o sinal entra em regime permanente.

Resultados apresentados na literatura [8], [53] mostram que além de serem capazes de estimar os parâmetros de fase e frequência da componente fundamental, esses PLLs também são capazes de rastrear variações abruptas de frequência e estimar sinais de tensão contendo distorções, o que a torna mais robusta a variações de amplitude, fase e frequência do sinal. Outra característica interessante desse modelo, é que pode ser usado tanto em redes trifásicas quanto em redes monofásicas.

O *Enhanced Phase Locked Loop* (EPLL), tanto em sistemas monofásicos [15] quanto em sistemas trifásicos [54], tem o objetivo de extrair a componente fundamental de sua entrada e estimar características como amplitude, frequência e fase, sincronização e impacto de componentes harmônicas, através da sintonia de seus parâmetros. O EPLL, em particular, além de estimar os parâmetros de fase e frequência também é capaz de estimar a amplitude através da aquisição das componentes em fase e em quadratura do sinal de entrada.

Em [18] é analisada a estrutura de EPLL monofásica cuja característica principal é dividir o PLL em duas malhas principais paralelas, considerando a primeira como sendo a malha responsável pelo controle de amplitude, e a segunda malha responsável pelo controle de fase e frequência. Ele considera a saída do integrador como sendo a frequência estimada, e isso proporciona melhor capacidade de filtragem, fazendo com que a resposta à estimativa de frequência seja mais amortecida.

Em 2006 o SOGI-PLL foi proposto em [26]. A sua malha principal gera um sinal em quadratura fictício usando um circuito integrador generalizado de segunda ordem, SOGI [55], que foi usado como um bloco de construção para gerador de sinal ortogonal (OSG). Além de fornecer o sinal ortogonal filtrado que passa pela transformada de *Park*, e gerar o sinal responsável pela estimativa do erro da malha de fase e frequência, também é capaz de atenuar as componentes harmônicas do sinal de saída do PLL. Neste PLL a

frequência estimada na saída do circuito é realimentada no circuito do SOGI a fim de torná-lo adaptativo às variações de frequência da rede.

O PLL com sinal de quadratura gerado pelo filtro passa-tudo (APF) é bem semelhante ao SOGI-PLL. O APF-PLL (*All-Pass filter - PLL*) foi uma alternativa para manter a estrutura do PLL simplificada gerando um sinal auxiliar ortogonal através de um filtro passa-tudo. Este tipo de filtro linear permite a passagem de todas as frequências com o mesmo ganho, porém altera a relação de fase entre elas. Assim como o SOGI, ele gera dinamicamente o componente ortogonal fazendo com que o filtro passa-tudo consiga criar um sinal ortogonal fictício com a fase deslocada, no entanto, não é capaz de atenuar as informações geradas pela transformada de Park, que devem ser ajustadas pelo seu controle.

Embora o filtro passa-tudo não precise que sua frequência seja adaptativa, este trabalho usa a frequência estimada na saída do circuito para realimentar o filtro passa-tudo a fim de que sua frequência seja atualizada em função da frequência da rede. Nesse sentido, é possível assegurar que o sinal auxiliar de quadratura está sempre deslocado de 90° em relação à componente fundamental do sinal de entrada, mesmo quando ocorre desvios de frequência. De acordo com [2], geralmente usa-se o APF de primeira ordem devido a resultados de testes relatados com filtros de ordens superiores que indicaram não haver melhorias de desempenho.

Em 2009 foi apresentada uma forma de otimizar a estrutura básica do PLL reduzindo o ruído do sinal de saída [56], utilizando um filtro notch ativo. Neste momento o filtro proposto foi utilizado entre os sinais do controlador e do oscilador de tensão a fim de criar uma transmissão zero na frequência de referência e harmônicos mais elevados para minimizar os distúrbios no oscilador de tensão. No entanto, o filtro alterava a função de transferência do sistema e gerava instabilidade.

É importante destacar que existem diversas outras propostas de PLL monofásicos na literatura: em [3] foi proposto uma malha de realimentação para o circuito PLL que incluía o ângulo de fase estimado, enquanto em [57] e [15] foram introduzidos filtros passa-baixas localizados entre o detector de fase e o controlador. Em [5] e [58] o filtro passa-tudo foi usado para obter um sinal controlado e defasado de 90° em relação ao sinal de entrada e em [59] foi proposto um PLL adaptativo baseado no conceito da técnica do período de frequência amostrada variável. No entanto, mesmo nestes PLLs com sinal auxiliar de

quadratura, ocorre a presença de componentes oscilantes na segunda harmônica que ainda assim comprometem o desempenho destes PLLs.

Em 2017 foi publicada uma revisão bibliográfica [14] com os PLLs monofásicos divididos em duas categorias: PLLs baseados na teoria de potência instantânea conhecidos como *power-based PLL* ou pPLL, e PLLs baseados em sinal de quadratura (QSG-PLLs).

PLLs baseados na teoria de potência instantânea conhecidos como pPLL, usam como detector de fase, PD, um multiplicador senoidal que usa energia fictícia. Como a tensão que vem da rede monofásica é distorcida, a leitura que o PD recebe do multiplicador contém perturbações que geram erro nas informações de ângulo de fase. Para corrigir esse problema, o pPLL usa um filtro passa-baixas em cascata com o PD com o objetivo de filtrar os harmônicos resultantes da potência gerada antes de enviar para o *loop filter*. No entanto, quando um filtro passa-baixas de ordem superior é usado, apesar da atenuação ser maior, a constante de tempo também se torna maior fazendo com que o sinal de saída leve mais tempo para atingir estabilidade. Exemplos de filtros que se enquadram nesse modelo são: Filtro passa-baixas, LPF, do inglês *Low Pass-Filter*, filtro notch, NF, do inglês *Notch Filter*, filtro de média móvel, MAF, do inglês *Moving average Filter*, DFCA, do inglês *Double Frequency and Amplitude Compensation*, MMPD, do inglês *Modified Mixer PD*.

Em contrapartida, como explicado anteriormente, os QSG-PLL geram componentes em quadratura com a componente fundamental do sinal de entrada, melhorando o desempenho do PLL. Exemplos desses tipos de PLLs são: TD, do inglês *Transfer Delay*, Integrador generalizado, GI, do inglês *Generalized Integrator*, Transformada inversa de Park, IPT, do inglês *Inverse Park transformation*, Filtro passa-tudo, APF, do inglês *All Pass Filter*, PLL Derivativo (DPLL), Circuito sintetizado, SC, Transformada de *Hilbert*, HT, EPLL, do inglês *Enhanced Phase-Locked Loop*, SOGI-PLL, do inglês *Second-Order Generalized Integrator-PLL*, entre outros.

É importante ressaltar que para sintonizar sistemas de sincronismo do tipo PLL, seu modelo matemático não-linear deve ser obtido através de derivadas [60]. Para realizar este tipo de análise, vários métodos foram desenvolvidos [61], [62], [63], [64], [65] mas a teoria de controle usada na maioria dos PLLs é estritamente baseada na teoria de controle linear [66], [67] baseando-se em um modelo pré-definido no domínio do tempo para sistemas lineares com variação de pequenos sinais, e o sistema geralmente é projetado para

que sua estabilidade seja analisada a partir de determinadas características de linearidade e simulação.

De acordo com [68], que escreveu o método de análise e simulação de PLL mediante ao uso da linearização, a análise de modelos não-lineares ainda é bastante complexa, e os problemas atrelados a eles ainda estão longe de serem resolvidos. Em função disto, foi observada a necessidade em determinar uma metodologia para identificar os ganhos dos controladores de modo que o modelos não-lineares de PLLs monofásicos com sinal auxiliar de quadratura estudados atendam as condições de restrição previstas neste trabalho.

Somado a isso, o presente trabalho também explorou diferentes arranjos de filtros digitais combinados aos PLLs, com objetivo de identificar os arranjos que resultam no melhor desempenho. Entende-se, neste trabalho, como melhor desempenho a combinação que apresentar o menor tempo de convergência (igual ou abaixo de 100 ms no primeiro transitório) com o sinal de saída apresentando distorção harmônica abaixo de 2%. Tal estudo representa a contribuição do trabalho proposto.

2 INTRODUÇÃO AO PLL SEM O SINAL ORTOGONAL AUXILIAR

2.1 A Introdução

Conforme descrito no Capítulo 1, os primeiros PLLs utilizados em circuitos monofásicos não utilizavam sinais ortogonais auxiliares, o que resultava na propagação de uma componente oscilante na segunda harmônica. É importante reforçar que esta componente oscilante se propaga nos sinais internos do PLL, mesmo que esteja operando em regime permanente com o sinal de entrada composto somente pela componente fundamental. Esta questão é explorada nesta seção.

Com o objetivo de minimizar o problema da presença da componente de segunda harmônica nos sinais internos do PLL monofásico, foi adicionado à entrada um sinal ortogonal em relação à componente fundamental do sinal de entrada. Com a inclusão deste sinal, o PLL monofásico, em regime permanente, tem um comportamento similar ao do PLL trifásico.

No entanto, no regime transitório, a presença desta componente oscilante em 120Hz é inerente, mesmo que o sinal de entrada seja composto somente pela componente fundamental. Usualmente, estes transitórios ocorrem devido à variações momentâneas de amplitude e fase. Em micro redes pode também ocorrer variações de frequência, uma vez que trata-se de uma rede com potência de curto circuito menor se comparada com a potência de curto circuito em redes elétricas rurais, que são consideradas redes elétricas fracas, com potência de curto circuito de 10 p.u. em média.

Neste contexto, conforme descrito no estado da arte deste trabalho, as alternativas para eliminar a componente oscilante de segunda harmônica residiram, basicamente em duas alternativas: a primeira consiste na inclusão de um sinal auxiliar em quadratura com a componente fundamental do sinal de entrada (QSG-PLL). A segunda é fazer um rearranjo do sinal da entrada do PLL onde o erro no sinal de entrada do controlador PI é proporcional ao erro entre os sinais de entrada e saída do PLL, com a inclusão da malha de amplitude (E-PLL).

No entanto, é importante reforçar que tal condição é verdadeira (eliminar a componente de segunda harmônica em regime permanente) somente se o sinal de entrada não estiver distorcido. De fato, em um cenário realista onde a tensão da rede em circuitos monofásicos é usualmente distorcida, particularmente tanto pela 3^o harmônica quanto

pela 5ª harmônica, os sinais internos do PLL apresentam, necessariamente, componentes oscilantes mesmo com o PLL operando em regime permanente, o que compromete o seu desempenho.

Conforme explorado na literatura, uma alternativa para atenuar estas componentes oscilantes consiste no uso de filtros digitais. Apesar da extensa quantidade de propostas na literatura para arranjos e tipos de filtros, este trabalho apresenta os resultados obtidos tanto com o filtro do tipo passa-baixas IIR e FIR de janela retangular, quanto o filtro IIR notch. Os demais filtros testados em caráter preliminar comprometeram o desempenho do PLL.

Em seguida, com o objetivo de destacar as limitações do PLL sem o sinal auxiliar ortogonal, o mesmo é apresentado na próxima seção, assumindo que os sinais de entrada estão distorcidos. Nestas análises, também foram considerados filtros digitais com o objetivo de melhorar o desempenho deste PLL na redução da distorção harmônica do sinal produzido, sem comprometer o seu desempenho na ocorrência de transitórios.

2.2 PLL sem o Sinal Ortogonal Auxiliar

A Figura 3, apresenta o diagrama em blocos do circuito PLL sem o uso do sinal auxiliar ortogonal, conforme apresentado por [38]. O sinal de saída do detector de fase ($e(t)$) resulta do produto entre o sinal de entrada, $v_{in}(t)$, por um dos sinais de saída do oscilador de tensão, representado por $\cos(\omega_{pll}t)$. Assumindo inicialmente $v_{in}(t)$ igual a $V_1 \sin(\omega_1 t)$, o sinal $e(t)$ é dado por:

$$e(t) = \frac{V_1}{2} \{ \sin[t(\omega_1 + \omega_{pll})] + \sin[t(\omega_1 - \omega_{pll})] \}. \quad (1)$$

O controlador PI ajusta dinamicamente o seu sinal de saída, ω_{ajs} , até que o valor médio do sinal $e(t)$ seja igual a zero, condição esta em que o sinal $\cos(\omega t)$ está deslocado de 90° de $v_{in}(t)$ e, conseqüentemente, o sinal $pll(t)$ está sincronizado com $v_{in}(t)$. No entanto, mesmo nesta condição, observa-se que o sinal $e(t)$ apresenta uma componente oscilante em $\omega_1 + \omega_{pll}$, que corresponde a $2\omega_1$, sendo $\omega_1 \approx \omega_{pll}$. Neste trabalho é assumido que a frequência fundamental do sinal de entrada é igual a 60Hz, salvo em situações onde ocorrer desvios de frequência.

A Figura 4 é referente a simulação do PLL sem sinal de quadratura. A Figura 4(a)

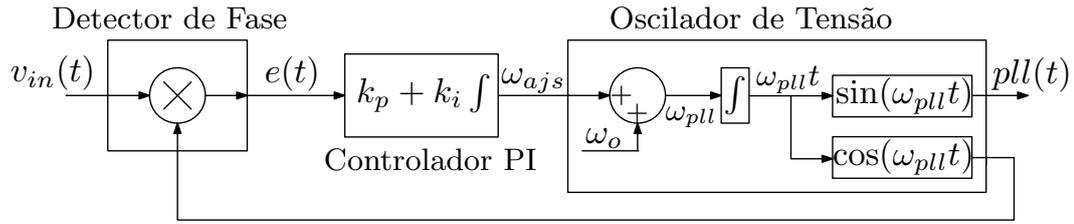


Figura 3 - Diagrama de blocos do PLL sem o sinal ortogonal auxiliar.

mostra o sinal interno $e(t)$, com a componente oscilante em 2ω e a Figura 4(b) mostra o sinal de saída do PLL, $pll(t)$, com o correspondente espectro harmônico. Estes resultados foram obtidos com o sinal de entrada, $v_{in}(t)$, sem distorção harmônica.

É possível notar que no sinal de saída do PLL, além da componente fundamental aparece também a componente harmônica em 180 hertz (correspondente a $3\omega_1$), responsável pela distorção do sinal de saída do PLL. Como há apenas uma componente harmônica no sinal, a distorção existe, mas ainda sim é pouco se comparada a um sinal com um número maior de componentes harmônicas. Sua taxa de distorção harmônica foi calculada, conforme é exibido em [69], e verificou-se que o THD para esse sinal, no PLL sem quadratura, é de 6,75%.

Esta componente harmônica no sinal de saída do PLL em $3\omega_1$ resulta da componente em $2\omega_1$ remanescente do sinal de erro na entrada do controlador PI. É importante comentar que tanto o controlador PI quanto o integrador atuam como um filtro do tipo passa-baixas, atenuando em parte esta componente oscilante. Nesse sentido, reduzindo os ganhos do controlador PI é possível atenuar ainda mais esta componente oscilante, levando em consideração que a redução dos ganhos aumenta o tempo de assentamento do sinal representado na Figura 3 por ω_{ajs} e, conseqüentemente, nos demais sinais do PLL.

Na condição de $v_{in}(t)$ ter componentes harmônicas, o sinal $e(t)$ passa a ser representado por:

$$e(t) = \sum_{h=1}^{\infty} \frac{V_h}{2} \{ \sin[t(\omega_h + \omega_{pll})] + \sin[t(\omega_h - \omega_{pll})] \}; \quad (2)$$

sendo $v_{in}(t)$ dado por:

$$v_{in}(t) = \sum_{h=1}^{\infty} V_h \sin(\omega_h t). \quad (3)$$

Deste modo, o sinal $e(t)$ continua apresentando a sua componente média igual a

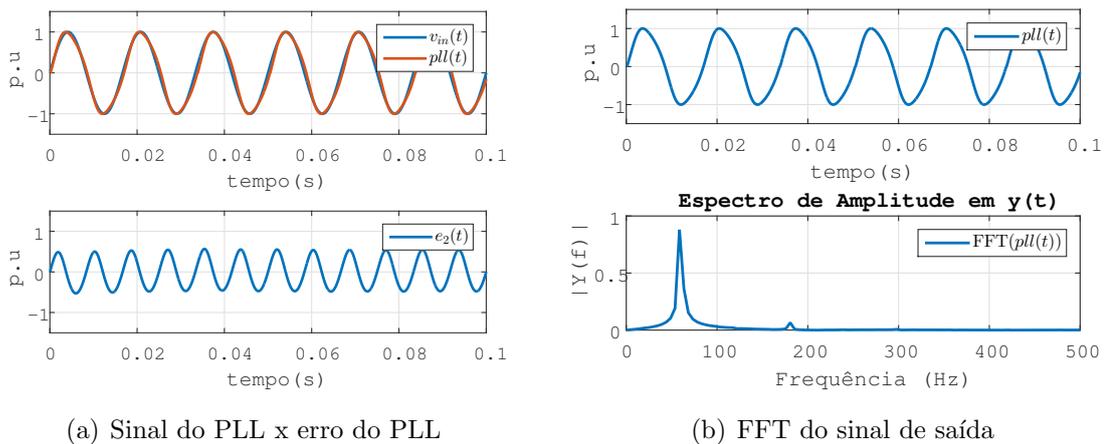


Figura 4 - Saída do PLL e FFT do sinal de saída

zero quando o sinal $pll(t)$ estiver sincronizado com a componente fundamental do sinal de entrada, $v_{in}(t)$. Contudo, a sua componente oscilante apresenta outras componentes harmônicas além da componente em $2\omega_1$. Como o exemplo apresentado na Figura 4, considere o sinal v_{in} composto pela componente fundamental, além das componentes harmônicas de 3^a, 5^a e 7^a ordens de modo que:

$$v_{in}(t) = V_1 \sin(\omega_1 t) + V_3 \sin(\omega_3 t) + V_5 \sin(\omega_5 t) + V_7 \sin(\omega_7 t); \quad (4)$$

onde, $\omega_h = h\omega_1$, sendo $h = 3, 5, 7$. Com isso, assumindo que o PLL opera em regime permanente, onde $\omega_{pll} \approx \omega_1$, o sinal $e(t)$ é composto somente por componentes oscilantes, e, neste exemplo, representado por:

$$e(t) = \frac{(V_1 + V_3)}{2} \sin(2\omega_1 t) + \frac{(V_3 + V_5)}{2} \sin(4\omega_1 t) + \frac{(V_5 + V_7)}{2} \sin(6\omega_1 t) + \frac{V_7}{2} \sin(8\omega_1 t). \quad (5)$$

A partir deste exemplo, é observado que o sinal $e(t)$ apresenta componentes oscilantes em $2\omega_1$, $4\omega_1$, $6\omega_1$, $8\omega_1$ e, além disso, a amplitude da componente harmônica em $2\omega_1$ é maior quando comparada com esta mesma componente harmônica no sinal $e(t)$ na condição do sinal de entrada, $v_{in}(t)$, não ter distorção harmônica.

Isso pode ser demonstrado através da simulação de um PLL sem componente de quadratura cujo sinal de entrada é composto pelo segundo, terceiro, quinto e sétimo harmônicos. O sinal gerado pela saída sofre a influência direta das componentes harmônicas

geradas em $2\omega_1$, $4\omega_1$, $6\omega_1$ e $8\omega_1$, mostrados pela Figura 5(a), referente a FFT do sinal de saída do PLL.

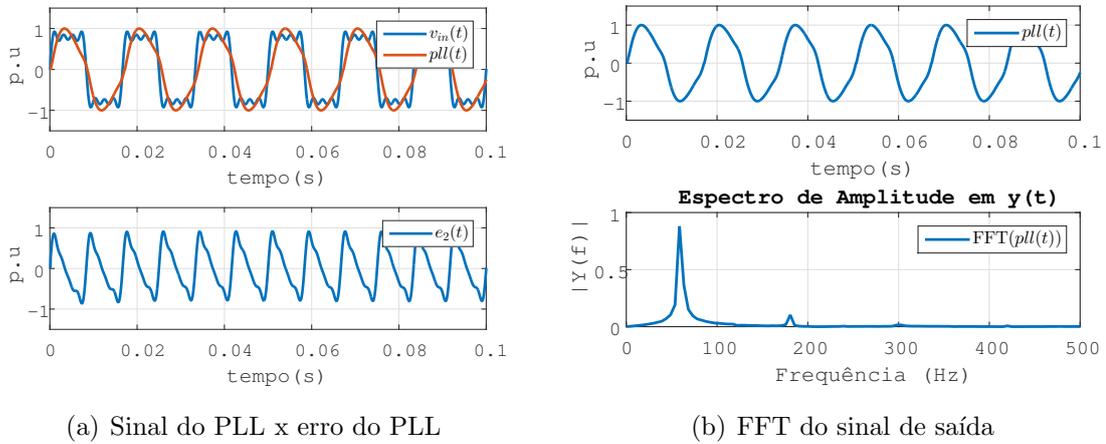


Figura 5 - Saída do PLL influenciado pelo erro e FFT do sinal de saída

Na Figura 5(b) são mostrados o espectro harmônico e a forma de onda do sinal produzido pelo PLL. Pode ser observado que mesmo com o integrador atenuando as componentes oscilantes, as componentes em 2ω e 4ω não foram totalmente atenuadas e, como consequência, o sinal de saída apresenta componentes harmônicas em 3ω e uma componente praticamente desprezível em 5ω . Deste modo, a presença de componentes harmônicas no sinal de entrada resultou no aumento da distorção harmônica do sinal produzido pelo PLL. Neste exemplo, o sinal de saída apresenta um THD de 10,83%, o que corresponde a uma distorção harmônica 37% maior do que a observada no exemplo anterior, com o sinal de entrada sem distorção.

Conforme já mencionado nesta seção, uma alternativa para atenuar as componentes harmônicas do sinal de saída do PLL consiste na redução dos ganhos do controlador, levando em consideração o aumento do período para o circuito operar em regime permanente. Uma outra alternativa consiste na utilização de filtros do tipo passa-baixas ou sintonizados na entrada do controlador PI. Neste sentido, em seguida são apresentados dois casos testes, um com um filtro do tipo passa-baixas e outro com um filtro notch na componente harmônica de maior amplitude do sinal $e(t)$, que corresponde a $2\omega_1$.

É importante notar que filtros do tipo passa-baixas podem resultar em atraso na saída do sinal, além de comprometer a velocidade de resposta do sistema. Desta forma, o filtro passa-baixas deve ser implementado de forma que mantenha o mínimo de atraso

de fase possível em função do maior valor de atenuação que pode ser gerada.

Dentro deste contexto, com o objetivo de observar a dinâmica dos parâmetros envolvidos, na sequência são apresentados alguns casos testes com PLL sem o sinal auxiliar ortogonal, e com a inclusão de filtros passivos. É importante comentar que, usualmente, são utilizados modelos lineares para modelar o PLL, o que auxilia na busca da sintonia dos ganhos e ajustes dos filtros. No entanto, tal análise no momento não é viável pois não é possível obter um modelo equivalente para este PLL, mesmo com este operando em regime permanente, devido à presença de componentes oscilantes nos sinais internos. Tal análise é possível ou quando os sinais internos são compostos apenas por componentes contínuas, ou quando as frequências das componentes oscilantes forem muito maiores (acima de $1,0kHz$ pelo menos) em relação à componente CC.

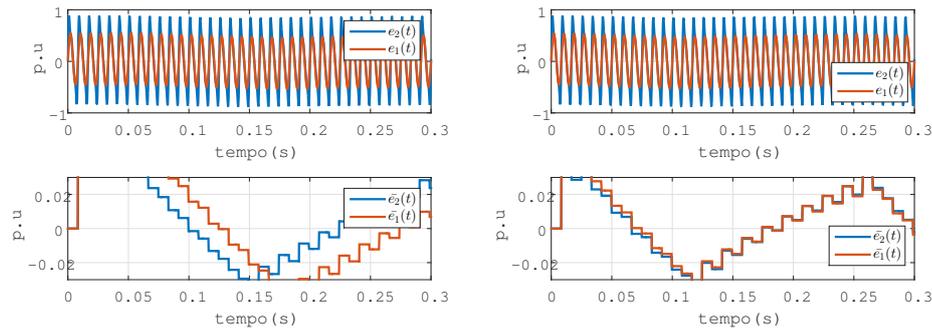
Tal fato é comprovado no caso teste apresentado na Figura 6, onde foram utilizados diferentes ganhos no controlador PI do PLL, considerando o sinal de entrada tendo ou não distorções harmônicas. Como pode ser observado nessa figura, nos quatro casos testes o comportamento da componente média do sinal do erro da entrada do controlador PI tem um comportamento diferente considerando o fato do sinal de entrada estar distorcido ou não.

Nestes casos testes o sinal de erro na entrada do controlador PI, na condição do sinal de entrada não estar distorcido, é representado como $e_1(t)$ e a sua componente média por $\bar{e}_1(t)$. Do mesmo modo, o sinal de erro na entrada do controlador PI, na condição do sinal de entrada estar distorcido é representado como $e_2(t)$ e a sua componente média por $\bar{e}_2(t)$. O valor da componente média do erro calculado corresponde a média móvel do sinal do erro, com uma janela deslizante equivalente a 10ms.

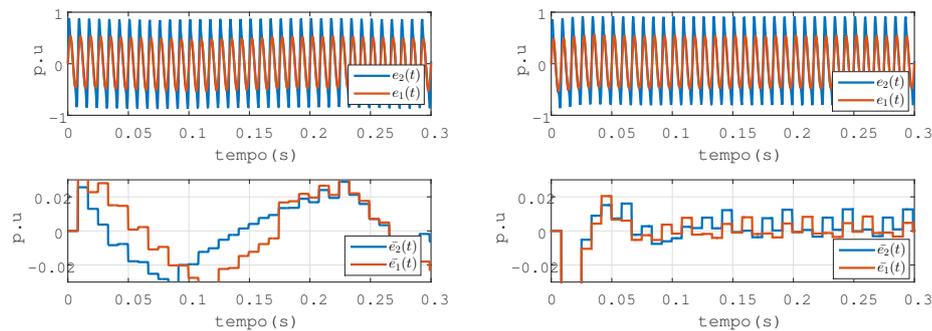
Tabela 1 - Tempo de assentamento e THD para os sinais (a)sem distorção harmônica e (b)com componentes harmônicas para um PLL sem sinal ortogonal

	$k_p = 5$ $k_i = 500$		$k_p = 10$ $k_i = 1000$		$k_p = 20$ $k_i = 2000$		$k_p = 200$ $k_i = 20000$	
	(a)	(b)	(a)	(b)	(a)	(b)	(a)	(b)
T(s)	≈ 5	≈ 5	≈ 5	≈ 5	0,307	0,240	0,050	0,042
THD (%)	0,466	0,918	0,986	0,601	0,777	0,144	6,762	10,850

É também possível observar que, se por um lado o uso de ganhos mais baixos torna a dinâmica do PLL lenta, conforme observado na Figura 6(a) e na Tabela 1, por outro lado o controlador PI acaba atuando como um filtro do tipo passa-baixas, de modo que o sinal produzido pelo PLL apresenta um baixo conteúdo harmônico, mesmo quando o



(a) Comportamento com ganhos $k_p = 5$ e $k_i = 500$ (b) Comportamento com ganhos $k_p = 10$ e $k_i = 1000$



(c) Comportamento com ganhos $k_p = 20$ e $k_i = 2000$ (d) Comportamento com ganhos $k_p = 200$ e $k_i = 20000$

Figura 6 - Erro na entrada do controlador PI com o sinal de entrada sem distorção ($e_1(t)$), com distorção ($e_2(t)$), incluindo as correspondentes componentes médias.

o sinal de entrada está distorcido. A Tabela 1 sumariza a distorção harmônica e o tempo de estabilização do PLL para os diferentes ganhos testados.

Neste contexto, como tanto a rápida dinâmica do PLL (abaixo de 6 ciclos ao inicializar o PLL) quanto a baixa distorção harmônica do sinal de saída (abaixo de 2%) são condições assumidas como necessárias, torna-se então necessária a busca por alternativas de modo que o PLL atenda a estes requisitos. Desta forma, nas próximas seções são apresentados resultados obtidos a partir de casos teste do PLL com a inclusão de filtros digitais, com uma breve introdução, particularmente sobre filtros do tipo passa-baixas e filtro notch.

2.2.1 PLL Sem o Sinal Auxiliar Ortogonal Com o FPB IIR

De acordo com [70], a “filtragem é o processamento do sinal no domínio do tempo, resultando em alguma alteração no conteúdo espectral original desse sinal”. Normalmente

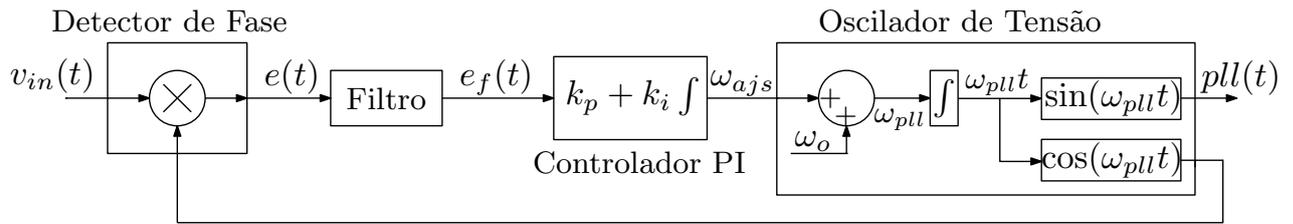


Figura 7 - Diagrama de blocos do PLL sem o sinal ortogonal auxiliar com filtro.

o que ocorre é que o filtro permite que em certas frequências sofram atenuação e em outras, não.

O filtros digitais podem ser divididos em dois grupos: filtros de resposta ao impulso finita (FIR) e filtros de resposta ao impulso infinita (IIR). Enquanto os filtros FIR necessitam de uma função de transferência de ordem muito alta para satisfazer as especificações desejadas, os filtros IIR são capazes de aproximar a mesma resposta em frequência desejada com uma ordem muito menor quando comparada aos filtros FIR. Devido a essa característica, os filtros IIR acabam sendo mais adequados a algumas aplicações, especialmente quando envolvem processamento de sinais em tempo real.

Contudo, alguns filtros digitais FIR apresentam vantagens sobre os filtros digitais IIR, como: fase linear e estabilidade, dado que possuem estrutura não-recursiva. A partir do momento que são realizados de forma recursiva, passam a ser classificados como IIR. Esses dois grupos de filtros foram utilizados nesse trabalho e será discorrido sobre suas atuações em cada um dos PLLs utilizados, começando pelo EPLL.

O filtro tipo passa-baixas atenua significativamente todas as frequências acima da frequência de corte, sem alterar as frequências abaixo desta. Para fins práticos, o filtro passa-baixas pode ser obtido matematicamente multiplicando o sinal da função *sinc* truncada no domínio do tempo por uma janela retangular. No entanto, para aplicações em tempo real, os filtros passa-baixas influenciam no ângulo de fase tanto da componente fundamental quanto das componentes harmônicas, em função do seu atraso de grupo [71].

A Figura 7 representa a posição em que o filtro foi inserido no circuito. O filtro foi inserido logo após a saída do sinal do erro, $e(t)$, gerando o sinal filtrado do erro, $e_f(t)$. A Figura 8 representa o diagrama de análise de fase e frequência do filtro IIR de 1º ordem em três diferentes níveis de frequência de corte: (A) em 12 Hz, (B) em 50 Hz, e (C) em 100 Hz. O objetivo dessa análise é ver o nível de atenuação na frequência de 120 Hz. É possível notar que a atenuação reduz a medida que a frequência de corte diminui.

Para cada situação atenuação na frequência analisada é igual a: (A) ≈ 14 dB, (B) ≈ 8 dB, e (C) $\approx 3,8$ dB.

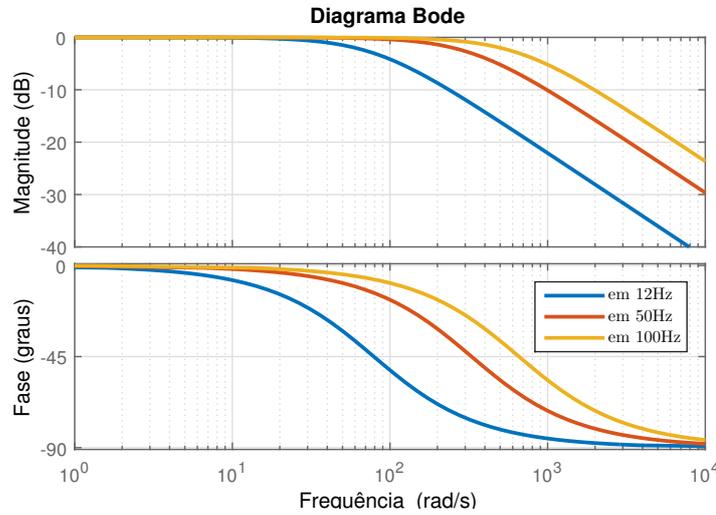


Figura 8 - Resposta em frequência do filtro IIR de 1º ordem.

Com o objetivo de demonstrar a atuação do filtro passa-baixa (FPB) no sistema, três simulações foram realizadas com o FPB IIR de 1º, 2º, e 4º ordem. As funções de transferência dos filtros foram representada pelas equações 6, 7 e 8, que por comodidade foram representadas no domínio de *Laplace*. A frequência de corte é representada por ω_c , e tem o valor de 80Hz.

$$H_{M1} = \frac{\omega_c}{s + \omega_c} \quad (6)$$

$$H_{M2} = \frac{\omega_c^2}{s^2 + \omega_c s + \omega_c^2} \quad (7)$$

$$H_{M4} = \left(\frac{\omega_c^2}{s^2 + \omega_c s + \omega_c^2} \right)^2 \quad (8)$$

Como o trabalho deseja ter sua implementação computacional, é necessário manter todo o sistema em modo digital a fim de posteriormente ser implementar em um microprocessador. Em função disso, devemos reestruturar o controle que se apresenta em sistema contínuo em um sistema de controle discreto onde operações diferenciais do controle serão aproximadas em combinações lineares [72]. Logo, a função de transferência $H(s)$ calculada em modo contínuo, deve ser aproximada para seu valor digital.

De acordo com [73] uma função de transferência representa uma equação diferencial, e usando sua derivada aproximada é possível obter uma equação a diferenças que pode ser usada como aproximação para uma série de expansão correspondente para sua discretização.

A aproximação utilizada durante todo o trabalho corresponde ao método trapezoidal de integração numérica, também conhecido por aproximação de *Tustin* ou transformação bilinear. Nesse método de aproximação a função de transferência correspondente a $G(z)$ é obtida pela substituição do argumento s in $H(s)$ por s' , como mostrado na equação 9, logo $G(z)$ será igual a $H(s')$.

$$s' = \frac{2}{T} \frac{z - 1}{z + 1} \quad (9)$$

A vantagem da aproximação de *Tustin* é que a estabilidade da metade esquerda contida no plano- s é mapeada dentro do círculo unitário contido no plano- z . E ao invés da instabilidade contida no tempo contínuo ser mapeada dentro de um sistema de tempo discreto, ele separa as partes estáveis e instáveis e o sistema de tempo contínuo estável é transformado em sistema discreto estável, e o sistema de tempo contínuo instável é transformado em sistema instável no tempo discreto [73].

Após discretizar o sistema, as performances do PLL com o uso de cada um dos filtros passa-baixas mencionados, foram exibidas nos gráficos referentes a Figura 9, a Figura 11 e a Figura 13.

Todas elas mostram os sinais referentes ao erro, $e(t)$ e ao erro médio $\bar{e}(t)$ do circuito PLL. Os mesmos ganhos k_i e k_p que foram adotados na figura Figura 6 foram usados nas simulações a seguir com a finalidade de mostrar sua influência no comportamento do sinal.

2.2.1.1 FPB IIR de 1ª ordem

A Figura 9 representa o comportamento do PLL sem sinal de quadratura após inserção de um filtro passa-baixa, IIR, de primeira ordem e frequência de corte em 90 Hz. Após inserir o FPB, pode-se observar que o valor médio do erro sofreu influência do filtro, uma vez que sua componente oscilante foi reduzida em todos os testes onde houve variação dos ganhos.

A Tabela 2 mostra os tempos de convergência dos sinais $\bar{e}_1(t)$ e $\bar{e}_2(t)$, mostrando

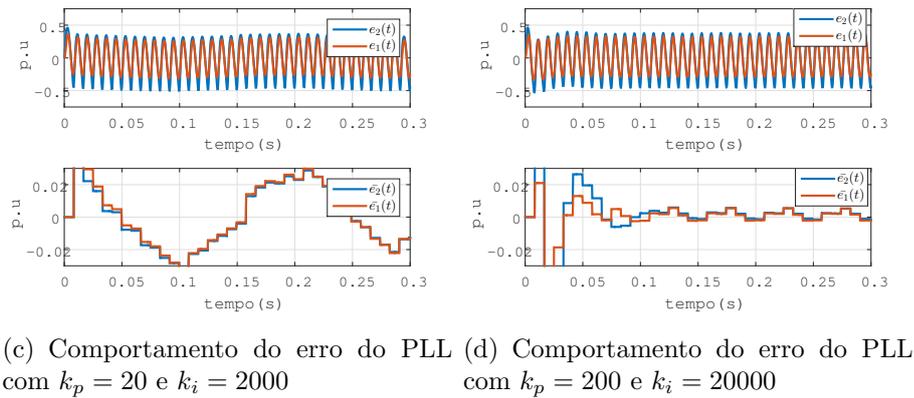
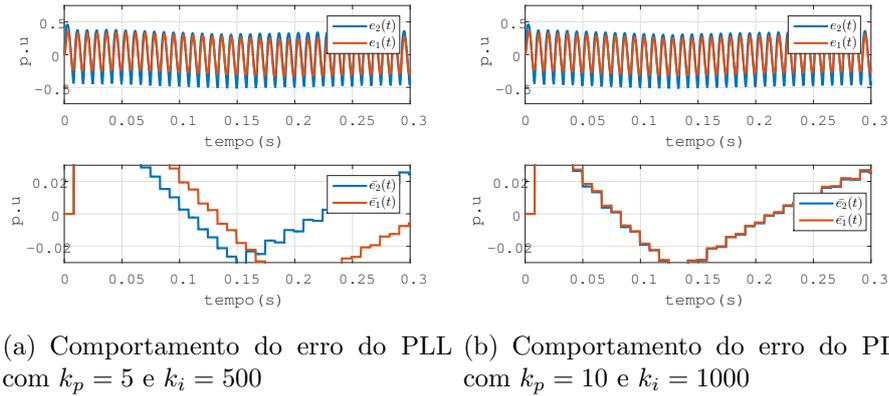


Figura 9 - Erro do PLL com e sem distorção harmônica, antes e após inserção de um filtro passa-baixa de 1º ordem

que apesar de haver uma considerável redução da amplitude da componente oscilante, o tempo de assentamento foi acima do desejado.

Tabela 2 - Tempo de assentamento e THD para os sinais de referência com e sem distorção harmônica, após filtragem com FPB IIR de 1ª ordem

	$k_p = 5$ $k_i = 500$		$k_p = 10$ $k_i = 1000$		$k_p = 20$ $k_i = 2000$		$k_p = 200$ $k_i = 20000$	
	(a)	(b)	(a)	(b)	(a)	(b)	(a)	(b)
T(s)	≈ 5	≈ 5	≈ 5	≈ 5	≈ 5	0,304	0,025	0,0499
THD	0,4576	0,9439	1,023	1,068	0,6678	1,1646	4,348	6,3288

O tempo de assentamento é dado em segundos, enquanto a taxa de distorção harmônica é dada por seu valor percentual. É possível observar que embora os tempos de assentamento diminuam a medida que os ganhos são maiores, os ganhos também influenciam no aumento da distorção harmônica do sinal gerado.

2.2.1.2 FPB IIR de 2ª ordem

Assim como no caso teste anterior, a Figura 10 representa o diagrama de análise de fase e frequência do filtro IIR de 2ª ordem em três diferentes níveis de frequência de corte: (A) em 12 Hz, (B) em 50 Hz, e (C) em 100 Hz. O objetivo dessa análise é observar o nível de atenuação na frequência em 120Hz. De acordo com a resposta em frequência é possível notar que a atenuação diminui à medida que a frequência de corte diminui. Para cada frequência de corte analisada, sua atenuação correspondente foi igual a: (A) ≈ 40 dB, (B) ≈ 13 dB, e (C) $\approx 1,75$ dB.

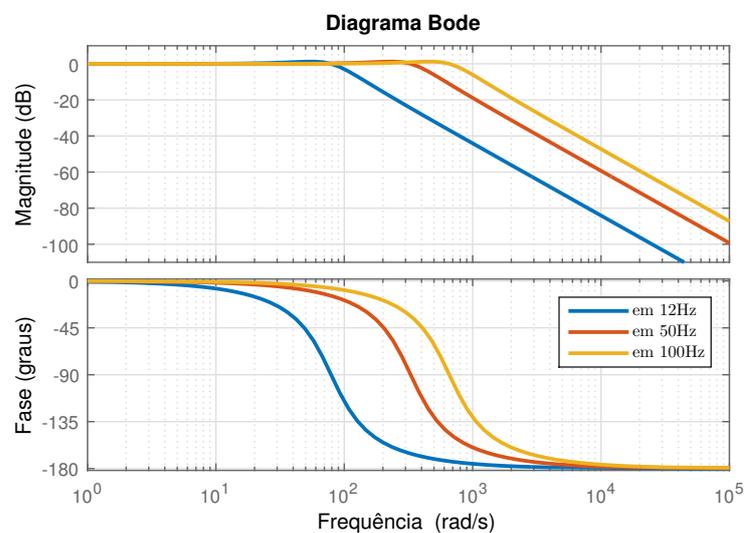


Figura 10 -Resposta em frequência do filtro IIR de 2ª ordem.

A Figura 11 mostra o comportamento dos sinais $e_1(t)$ e $e_2(t)$ durante o transitório em que o PLL é inicializado. Ao usar um FPB de segunda ordem na mesma frequência de corte que o anterior, nota-se que a amplitude dos sinais $e_1(t)$ e $e_2(t)$ reduziram cerca de 20% em relação ao teste feito com o PLL sem o filtro, sendo menor do que a redução gerada pelo FPB de primeira ordem. Quando os ganhos aumentam, é possível observar que o comportamento do sinal do erro médio, $e(t)$, e o comportamento do valor médio do erro $\bar{e}(t)$, tanto para o sinal sem distorção harmônica, quanto para o sinal com componentes harmônicas, se tornaram semelhantes.

A Tabela 3 mostra os tempos de convergência do sinal que representa o erro médio quando o sinal de entrada não possui distorção harmônica, $\bar{e}_1(t)$, e quando o sinal de entrada possui componentes harmônicas, $\bar{e}_2(t)$. É possível observar que os tempos de

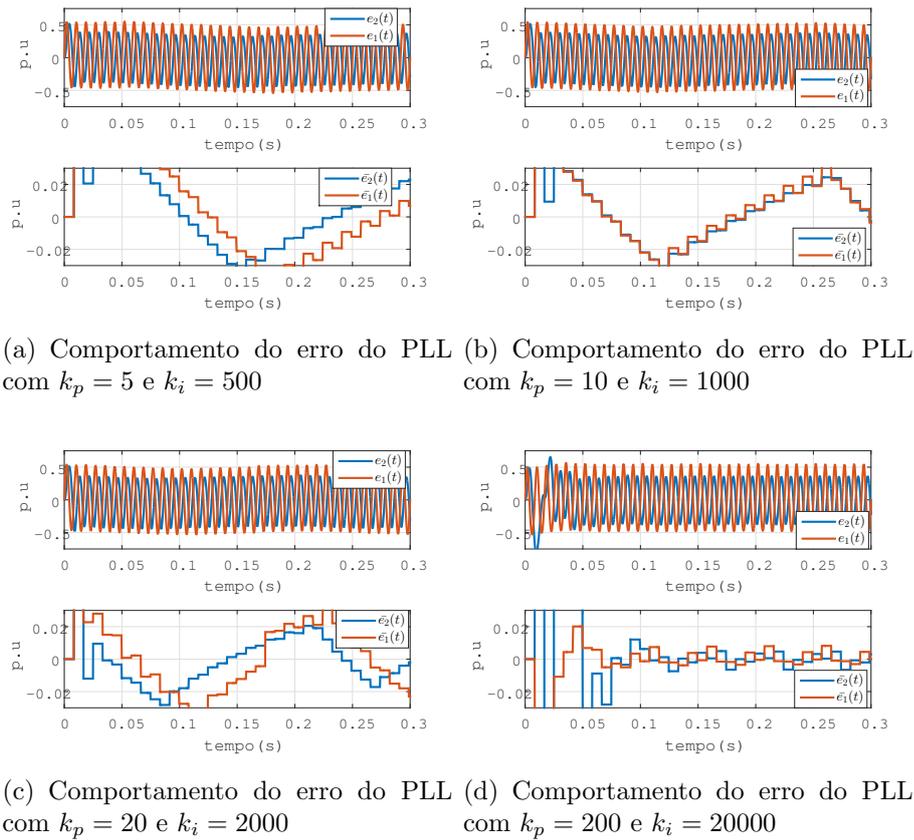


Figura 11 -Erro do PLL com e sem distorção harmônica, antes e após inserção de um filtro passa-baixa de 2º ordem

assentamento para os dois casos testes reduziu com o aumento dos ganhos, conforme o esperado. No entanto, esses ganhos influenciam no aumento da distorção harmônica do sinal de saída. De fato, neste caso teste, a distorção do sinal de saída para os ganhos $k_i = 20000$ e $k_p = 200$ ficou muito acima do limite desejado de 2%.

Tabela 3 - Tempo de assentamento e THD para os sinais de referência com e sem distorção, após filtragem com o FPB IIR de 2ª ordem

	$k_p = 5$ $k_i = 500$		$k_p = 10$ $k_i = 1000$		$k_p = 20$ $k_i = 2000$		$k_p = 200$ $k_i = 20000$	
	(a)	(b)	(a)	(b)	(a)	(b)	(a)	(b)
T(s)	5	5	≈ 5	≈ 5	≈ 5	0,2158	0,0581	0,083
THD	0,8377	0,07887	0,9223	1,1123	1,01	1,1868	4,0798	5,4376

2.2.1.3 FPB IIR de 4ª ordem

A Figura 12 representa o diagrama de análise de fase e frequência do filtro IIR de 4º ordem fazendo uso de uma janela retangular, em três diferentes níveis de frequência de corte: (A) em 12 Hz, (B) em 50 Hz, e (C) em 100 Hz. De acordo com os resultados é

possível notar que a atenuação na frequência de 120 Hz aumentou em relação aos filtros IIR anteriores. A atenuação sofrida é de (A) ≈ 77 dB, (B) ≈ 27 dB e (C) $\approx 2,8$ dB para cada um dos casos analisados, mostrando que quanto maior a ordem do FPB IIR, maior é a atenuação no sinal.

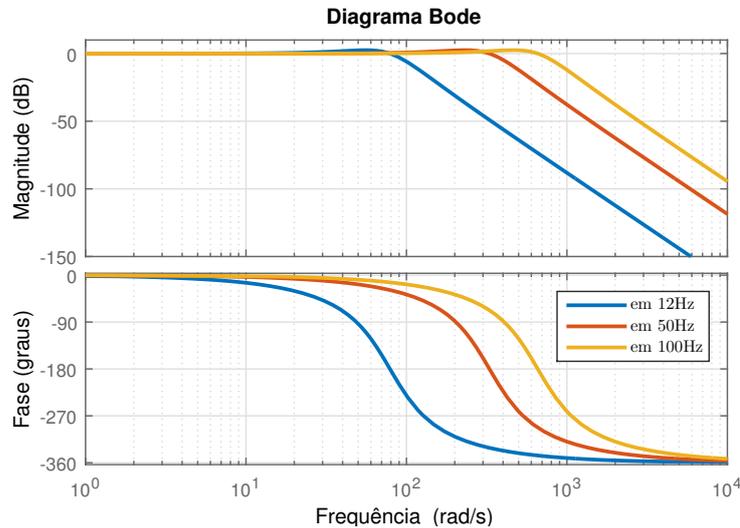


Figura 12 - Resposta em frequência do filtro IIR de 4º ordem.

Tabela 4 - Tempo de assentamento e THD para os sinais de referência com e sem distorção, após filtragem com o FPB IIR de 4º ordem

	$k_p = 5$ $k_i = 500$		$k_p = 10$ $k_i = 1000$		$k_p = 20$ $k_i = 2000$		$k_p = 200$ $k_i = 20000$	
	(a)	(b)	(a)	(b)	(a)	(b)	(a)	(b)
T(s)	5	5	≈ 5	≈ 5	≈ 5	≈ 5	≈ 5	∞
THD	0,7482	0,7682	0,181	0,9378	0,289	0,3914	2,097	29,0528

A Figura 13 mostra o comportamento dos sinais $e_1(t)$ e $e_2(t)$ sistema após a inserção de um FPB, IIR, de 4º ordem. A Figura 13(b) mostra um comportamento instável dos sinais de erro e valor médio do erro tanto na condição do sinal de entrada sem distorção quanto o mesmo estando distorcido. Isso ocorre devido ao caráter recursivo desse tipo de filtro, podendo ficar instável para valores elevados dos ganhos do controlador PI, conforme observado na Figura 13(d).

Foi estipulado que o valor do erro médio, $\bar{e}(t)$, deveria ser menor ou igual ao valor absoluto de 0,02 p.u. A partir do momento que o valor do sinal $\bar{e}(t)$ transitar somente dentro dessa faixa de valores, ele é considerado em regime permanente. No entanto, para todos os valores de ganhos simulados os sinais demoram mais de 5s para atingir o regime permanente. Os ganhos do controlador PI influenciaram na amplitude dos

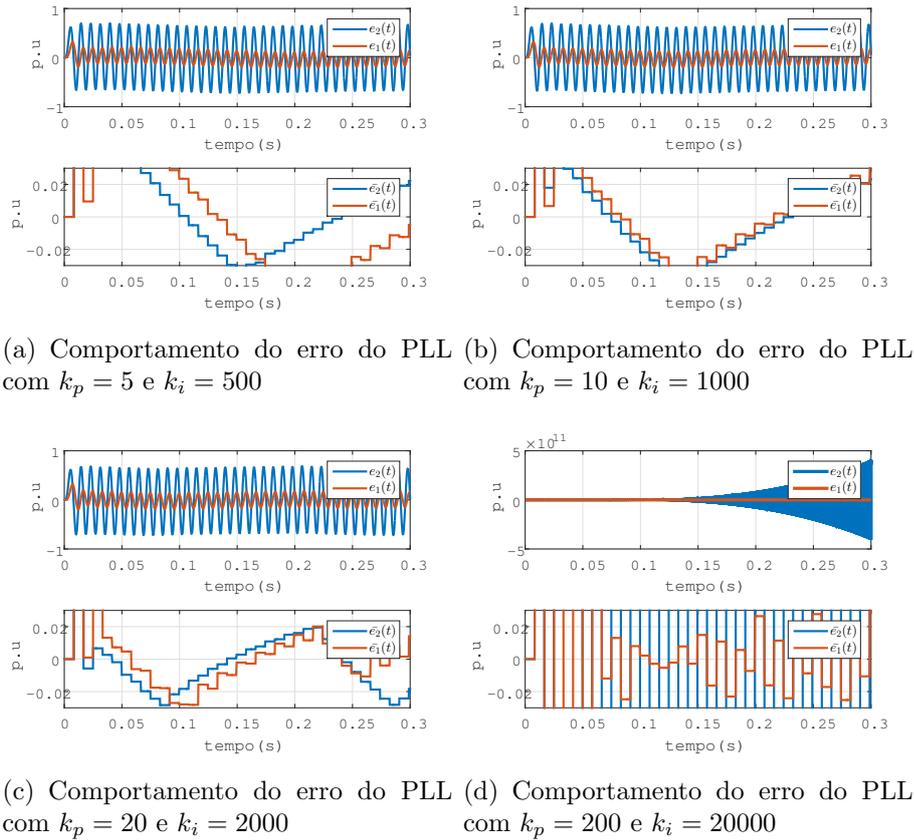


Figura 13 - Erro do PLL com e sem distorção harmônica, antes e após inserção de um filtro passa-baixa de 4º ordem

senais $e_1(t)$ e $e_2(t)$ que diminuiriam com o aumento dos ganhos. No entanto, impactaram pouco na dinâmica do PLL, como observado na Tabela 4, que faz referência ao tempo de assentamento e a taxa de distorção harmônica PLL, em função de diferentes ganhos.

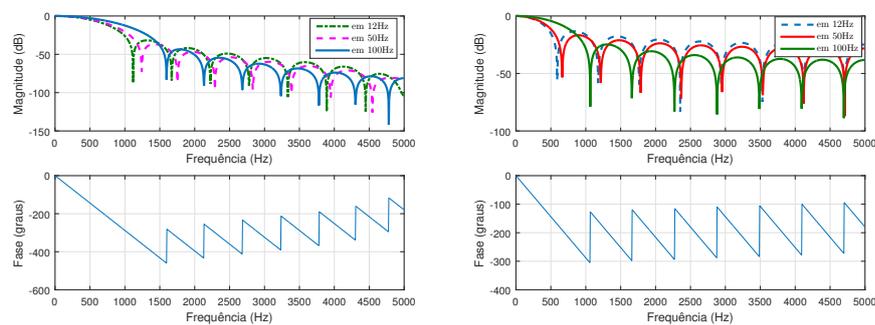
2.2.2 PLL Sem o Sinal Auxiliar Ortogonal Com o FPB FIR com Janelas

Dentre os vários métodos de aproximação para filtros FIR, usou-se nesse trabalho o método que utiliza janelas, que ao contrário do método de amostragem na frequência que realiza a transformada inversa de *Fourier* de um conjunto finito de amostras da resposta em frequência desejada, ele simplesmente trunca a resposta ao impulso associado a resposta desejada.

Sempre que uma sequência é truncada para gerar um comprimento finito de sinais, ela gera ondulações próximas a faixa de passagem, chamadas de Oscilações de *Gibbs* [71]. As oscilações de *Gibbs* possuem amplitude ressaltada na resposta próxima as extremidades

e não diminuem mesmo com o aumento da ordem do filtro. Embora elas não possam ser removidas, suas amplitudes podem ser controladas multiplicando a resposta ao impulso por uma função janela, $w(n)$, projetada de forma a inserir o mínimo de desvio possível no sistema.

A Figura 14 representa o diagrama de análise das respostas em fase e frequência do filtro FIR de 16^o ordem fazendo uso de uma janela retangular, representado pela figura Figura 14(b) e uma janela de *Hanning* representada pela Figura 14(a) em três diferentes níveis de frequência de corte: (A) em 12Hz, (B) em 50Hz, e (C) em 100Hz.



(a) Resposta em frequência do filtro FIR de 16^o ordem com janela Hanning (b) Resposta em frequência do filtro FIR de 16^o ordem com janela retangular

Figura 14 - Atenuação do sinal do erro do PLL em relação ao FPB FIR de 16^a ordem com dois tipos diferentes de janelas

A função da janela retangular é dada pela função representada por $w_r(n)$, enquanto a função da janela de *Hanning* é representada pela função $w_H(n)$. As duas janelas foram implementadas em cascata com o filtro FIR passa-baixas e frequência de corte em 80Hz, e a principal diferença entre as janelas está na atenuação da faixa de rejeição, que na janela *Hanning*, é maior do que na janela retangular.

Devido ao seu lobo principal ser mais estreito que o da janela de *Hanning*, a faixa de transição da janela retangular é mais estreita que a faixa de transição da janela de *Hanning*. Além disso, a razão entre seus lobos principal e secundário é menor do que a razão entre os lobos da janela de *Hanning*. As janelas retangular e *Hanning* podem ser escritas da seguinte forma:

$$w_r(n) = \begin{cases} 1, & \text{para } |n| \leq M/2 \\ 0, & \text{para } |x| > M/2 \end{cases}$$

$$w_H(n) = \begin{cases} 0,5 + (1 - 0,5) \cos(\frac{2\pi n}{M}), & \text{para } |n| \leq M/2 \\ 0, & \text{para } |x| > M/2 \end{cases}$$

Pelo apresentado nas curvas de resposta em frequência das duas janelas na Figura 14 pode-se observar que o lobo principal da janela retangular tem aproximadamente a metade da largura do lobo principal da janela de *Hanning*, e que a magnitude dos lobos laterais da janela de *Hanning* são bem menores se comparados com o da janela retangular. Também é possível notar que na frequência de 120 Hz a atenuação é pequena não chegando a -2 dB no melhor dos dois casos apresentados.

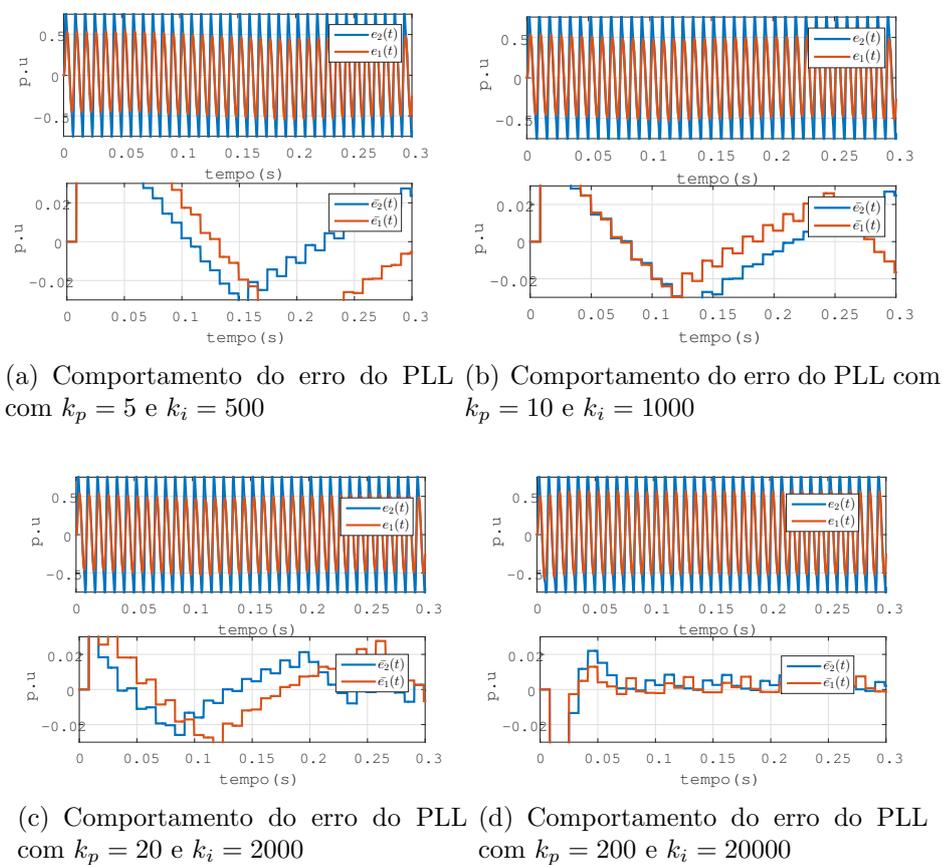


Figura 15 - Erro do PLL com e sem distorção harmônica, antes e após inserção de um filtro passa-baixa FIR de 16º ordem

Como a atenuação das duas janelas foi basicamente a mesma, optou-se por fazer a simulação usando apenas a janela retangular nesse momento. A Figura 15 mostra o comportamento do sistema após a inserção de um FPB FIR, de 16ª ordem. A amplitude do valor do erro médio, $\bar{e}(t)$, para os dois sinais de entrada também ficou mais próxima do valor original sem filtro tanto para o sinal de entrada sem distorção harmônica quanto

para o sinal de entrada distorcido.

Tabela 5 - Tempo de assentamento e THD para os sinais de referência com e sem distorção harmônica, após filtragem com FPB FIR de 16ª ordem

	$k_p = 5$ $k_i = 500$		$k_p = 10$ $k_i = 1000$		$k_p = 20$ $k_i = 2000$		$k_p = 200$ $k_i = 20000$	
	(a)	(b)	(a)	(b)	(a)	(b)	(a)	(b)
T(s)	≈ 5	≈ 5	0,5561	4,7061	4,648	0,199	0,033	0,0499
THD	0,8251	0,5724	0,7171	1,1993	0,9224	1,6489	7,4825	11,887

A Tabela 5 contém o tempo de assentamento e a distorção harmônica do sinal de saída para o PLL com o filtro passa-baixas do tipo FIR de 16º ordem. Apesar da baixa atuação na amplitude dos sinais, os tempos de convergência caíram consideravelmente em relação ao filtro IIR. No entanto, assim como ocorreu nos outros casos, à medida que os ganhos aumentaram o tempo de convergência reduziu com o aumento da distorção harmônica.

2.2.3 PLL Sem o Sinal Auxiliar Ortogonal Com o Filtro Notch

Outra alternativa para o problema foi o uso do filtro notch, geralmente utilizados quando a frequência do sinal a ser atenuado é definida. Como ele atua em faixas de transição rápidas, acabam não interferindo (atenuando ou amplificando) nas demais frequências, pois rejeita apenas uma faixa de frequência específica.

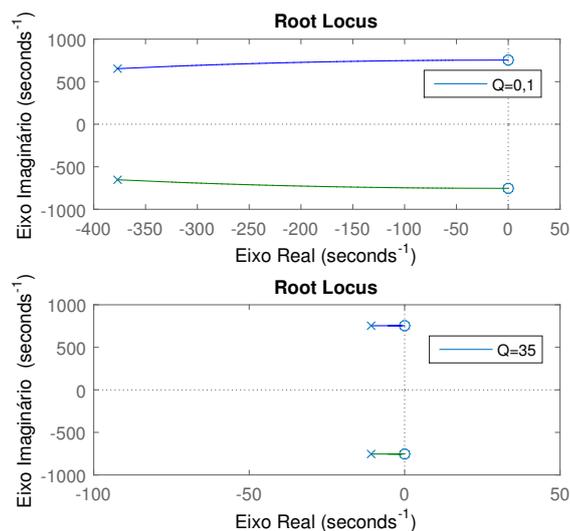


Figura 16 - Lugar das raízes em função do fator de qualidade $Q = 0, 1$ e $Q = 35$.

O fator de qualidade, ou fator 'Q' do filtro, é uma medida que representa quão bem a frequência desejada é isolada de outras frequências. Para uma ordem de filtro fixa,

um fator Q mais alto é obtido deslocando os pólos para mais perto dos zeros, como é mostrado da Figura 16.

A especificação da largura de banda pode ser uma maneira mais conveniente de obter exatamente a forma desejada para o filtro projetado, pois o fator de qualidade é a razão entre a frequência de amostragem e a banda de passagem do sinal. Com isso, quanto maior o fator de qualidade, mais estreita é resposta em magnitude do filtro notch, e menor é a distorção do sinal de saída.

A Figura 17 representa o diagrama de frequência de um filtro notch de segunda ordem, cuja função de transferência é representada pela equação 10, escrita em *Laplace*, e a frequência natural do filtro é representada por ω_n [74]. O valor do fator de qualidade foi variado em $Q = 1$, $Q = 5$, $Q = 10$ e $Q = 35$ e a frequência a ser atenuada foi definida em 120 Hz. Como pode ser observado, embora a banda de passagem seja mais estreita para valores de Q maiores, a atenuação é maior quando o fator de qualidade é menor. Devido a esse fator, optou-se trabalhar com o fator de qualidade $Q = 1$.

$$H_n = \left(\frac{s^2 + \omega_n^2}{s^2 + \frac{\omega_n}{Q}s + \omega_n^2} \right) \quad (10)$$

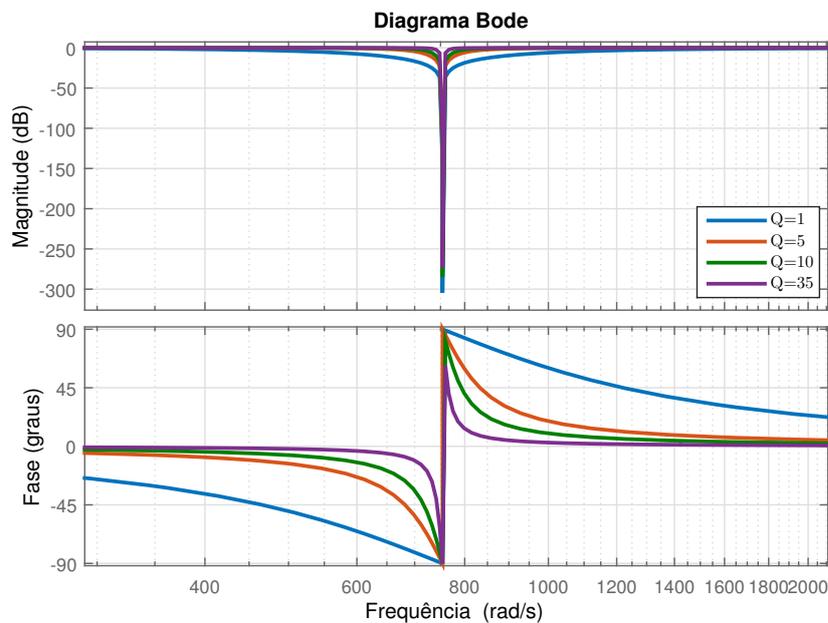


Figura 17 - Resposta em frequência do filtro IIR de 2ª ordem, com fator de qualidade em $Q = 1$, $Q = 5$, $Q = 10$ e $Q = 35$.

No circuito PLL foi utilizado um filtro notch de segunda ordem, com o objetivo

de atenuar a componente harmônica de segunda ordem. Como a frequência central pode sofrer pequenos desvios, os coeficientes do filtro são dinamicamente ajustados em função da frequência central, a fim de acompanhar qualquer desvio de frequência que possa ocorrer, e assim, mantendo o valor da frequência a ser atenuada no dobro da fundamental. Esse filtro trabalha atenuando as oscilações no sinal de saída, atenuando o *ripple* contido nos sinais internos, e melhorando também o tempo de convergência do PLL.

Assim como ocorreu durante a sintonia do circuito utilizando o filtro passa-baixa, o filtro notch também influenciou a dinâmica do PLL. Como é observado na Figura 18, à medida que os ganhos aumentam, além da dinâmica do sistema se tornar mais rápida, o sinal do erro que era subamortecido, se tornou superamortecido. Isso pode ser visualizado na Figura 18, onde os sinais do valor médio do erro, $\bar{e}_1(t)$ e $\bar{e}_2(t)$, evidenciam esse comportamento.

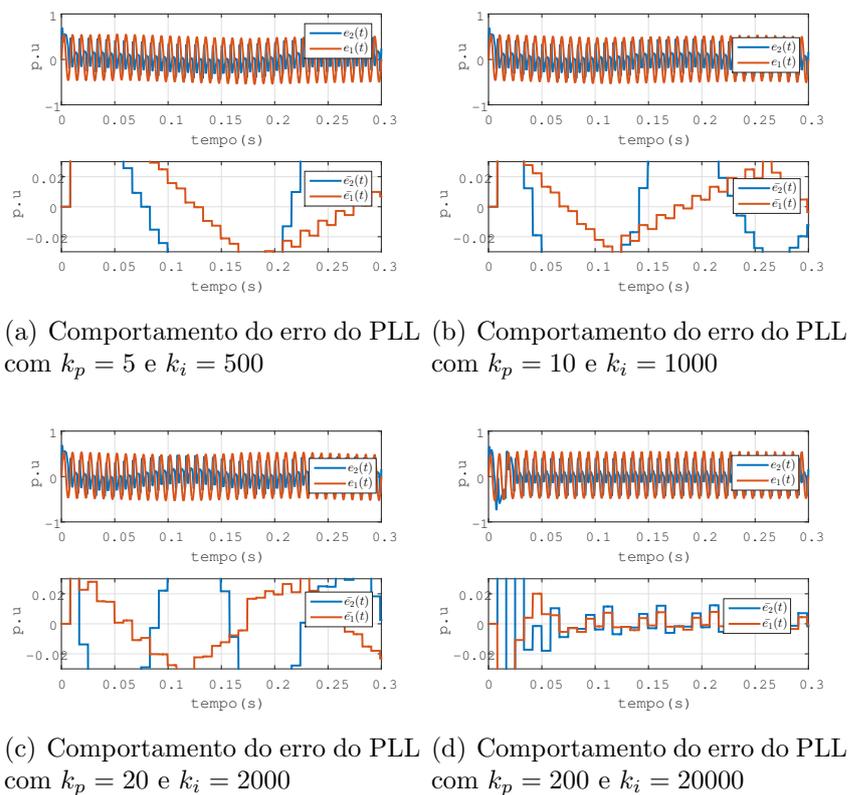


Figura 18 - Erro do PLL com e sem distorção harmônica, antes e após inserção de um filtro notch

Esta simulação considera que o valor do erro médio seja igual a 0,02 p.u para ser considerado em regime permanente. Desta forma, a Tabela 6 mostra os valores referentes ao tempo de assentamento dos sinais de saída do PLL em função do valor do erro médio,

e o valor da taxa de distorção harmônica do sinal de saída de cada caso.

Tabela 6 - Tempo de assentamento e THD para os sinais sem e com distorções harmônicas após filtragem com filtro notch de 2^a ordem

	$k_p = 5$ $k_i = 500$		$k_p = 10$ $k_i = 1000$		$k_p = 20$ $k_i = 2000$		$k_p = 200$ $k_i = 20000$	
	(a)	(b)	(a)	(b)	(a)	(b)	(a)	(b)
T(s)	+5	+5	0,4483	+5	0,3072	0,454	0,025	0,0333
THD	0,4672	0,9204	0,6676	0,9755	1,1876	1,2739	6,7871	10,88

2.3 Resultados Experimentais

Assim como foi mostrado na simulação feita usando o programa *Matlab*, tanto o comportamento do sinal com o uso de filtro passa-baixas, quanto com o uso do filtro notch, os sinais de entrada, com e sem harmônicas, possuem comportamentos e tempos de assentamento distintos. Embora o filtro seja uma solução plausível para mitigar a oscilação na componente de segunda harmônica, o tempo de assentamento do sinal se mostra muito longo, mesmo no caso mais ideal, onde o sinal de entrada não possui componentes harmônicas, e ele leva mais de 300 ms para atingir o regime permanente. Quando o tempo decaí para um valor aceitável, o THD aumenta consideravelmente, passando de 2%.

Para fins práticos, o PLL sem sinal de quadratura foi implementado em um processador digital de sinais DSP 28335 ponto flutuante da *Texas Instruments*, com *clock* de 150 MHz e frequência de amostragem de 40 kHz, executando 3750 ciclos de clock por segundo. Uma frequência quatro vezes maior do que na simulação em *Matlab*.

Os sinais foram externados por meio de uma modulação por largura de pulso com alta frequência de 20 kHz. Com isso, filtros passivos do tipo RC foram utilizados para atenuar a componente na ordem da frequência de chaveamento.

A Figura 19(a) e a Figura 19(b) contrapõem os sinais de entrada e saída do PLL, antes e depois do filtro notch ser implementado. É possível observar que o comportamento do sinal de entrada, $v_{in}(t)$, é semelhante ao mostrado na figura Figura 6 exceto pela amplitude que deveria ter sido gerada no lobo principal e foi filtrada devido ao filtro RC usado durante a construção da placa do PLL, para atenuar as componentes harmônicas na ordem da frequência de chaveamento em 20kHz.

Com a filtragem do sinal do erro, $e(t)$, é possível notar que o sinal de saída do PLL, $p_{ll}(t)$, se encontra menos distorcido. Isso se deve ao fato do filtro notch ter agido não apenas na componente de segunda harmônica, mas também nas componentes residuais

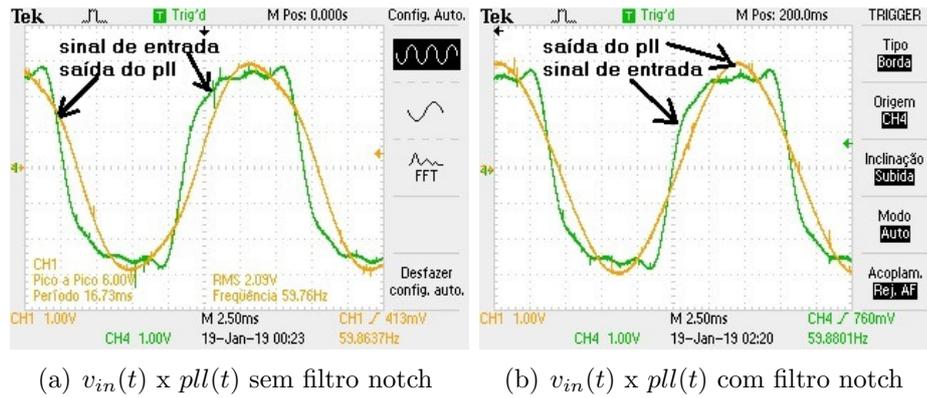
(a) $v_{in}(t) \times pll(t)$ sem filtro notch(b) $v_{in}(t) \times pll(t)$ com filtro notch

Figura 19 - $v_{in}(t)$ e $pll(t)$, sem filtro notch e com filtro nocth. Os resultados foram obtidos com o eixo da abscissa apresentando 2,5 ms/div e o eixo da ordenada com 1 V/div

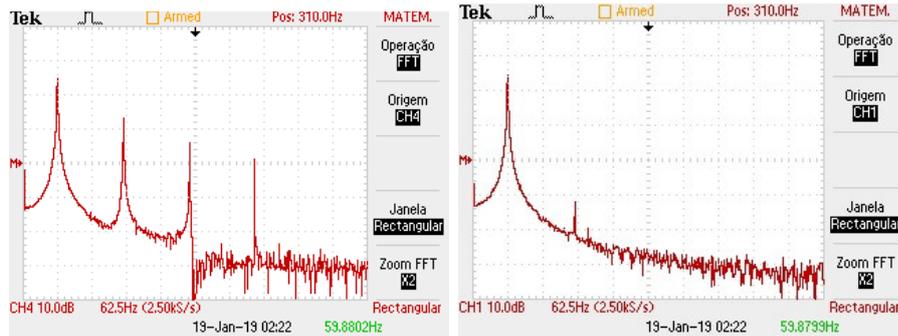
na 3^a harmônica, e que foi possível devido ao projeto do filtro que usou um fator de qualidade, Q , permitindo uma atuação com maior banda de passagem.

A FFT do sinal de saída antes e depois do filtro notch, são mostradas na Figura 20, onde cada quadrado representa o valor de aproximadamente 62,5 Hz no eixo horizontal e 10 dB no eixo vertical. Com o auxílio das FFTs é possível notar que após a filtragem do sinal de 120Hz, o nível de atenuação no sinal, que inicialmente era de pouco mais de -2 dB no terceiro harmônico caiu para -12 dB, enquanto o quinto harmônio foi praticamente eliminado.

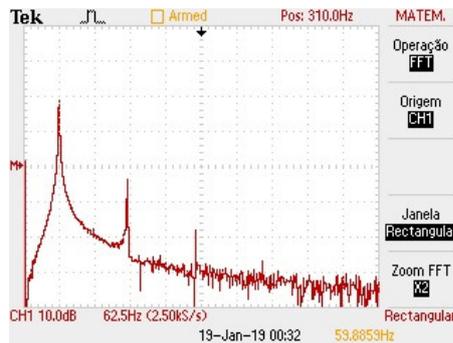
O sinal que apresenta o comportamento do erro do PLL, $e(t)$, é representado pela Figura 21. Enquanto a Figura 21(a) mostra a dinâmica do erro antes do filtro, a Figura 21(b) destaca a dinâmica do sinal do erro sem o filtro notch, e com a atuação do filtro notch. Nestas figuras, cada quadrado corresponde ao valor de 50 ms no eixo horizontal, e representa a unidade de medida que foi utilizada como métrica para calcular o tempo de convergência do erro.

Na primeira condição, antes do filtro notch ser utilizado, o erro demorava aproximadamente 100 ms para convergir, ao passo que após o filtro notch ser inserido no sistema, o erro filtrado passou a ser realimentado na entrada, e embora o erro tenha tido sua amplitude reduzida a aproximadamente metade do seu valor inicial, a dinâmica se tornou bem mais lenta, demorando cerca de 350 ms. A janela utilizada para calcular a média móvel do erro médio, foi de 10 ms. A mesma utilizada nas simulações computacionais usando Matlab.

Se por um lado o filtro foi capaz de reduzir as oscilações harmônicas e melhorar



(a) FFT do sinal de entrada com harmônicos (b) FFT do sinal de saída com filtro harmônicos

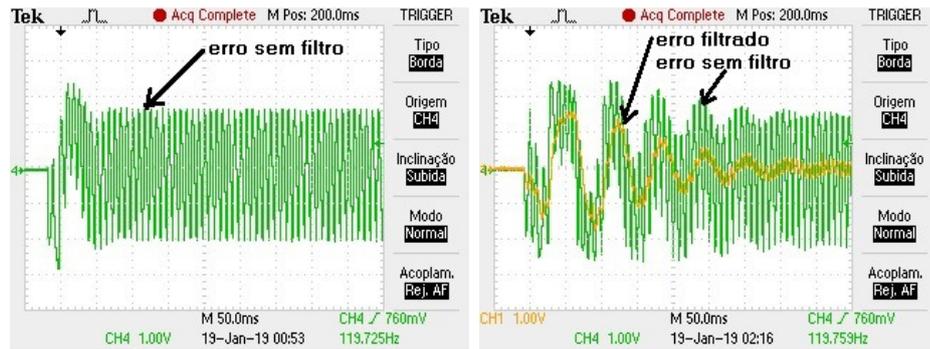


(c) FFT do sinal de saída sem filtro

Figura 20 - caso (b): FFT do sinal de saída com e sem filtro notch. Os resultados foram obtidos com o eixo da abscissa apresentando 62,5 Hz/div e o eixo da ordenada com 10 dB/div

o THD, por outro influenciou negativamente na dinâmica do sistema, tornando ele mais lento, como a simulação do PLL com filtro notch mostrou.

Diante disso, houve a necessidade de propor uma alternativa para melhorar a resposta do PLL sem sinal ortogonal auxiliar, fazendo uso do PLL com sinal de quadratura, que estimaria os parâmetros da componente fundamental de frequência de um sinal de entrada através da aquisição das suas componentes em fase e em quadratura, o que proporcionaria melhora no comportamento do sinal. Nesse contexto, na próxima seção é feita uma breve introdução sobre os PLLs monofásicos com sinal auxiliar de quadratura, tendo alguns dos possíveis arranjos explorados nos próximos capítulos.



(a) Comportamento do erro médio sem filtro notch (b) Comportamento do erro médio com filtro notch

Figura 21 - Comportamento do erro médio após filtragem. Os resultados foram obtidos com o eixo da abscissa apresentando 50 ms/div e o eixo da ordenada com 1 V/div

2.4 Conclusões Parciais

Nesse capítulo foram realizadas simulações para o PLL sem sinal auxiliar de quadratura em três casos testes principais: sem filtros digitais, com filtros passa-baixas, e com filtro notch. Após os resultados de simulação obtidos por esses testes a Tabela 7 resume com os melhores resultados relacionados ao tempo de assentamento e taxa de distorção harmônica obtidos com os ganhos $k_p = 20$ e $k_i = 2000$.

Baseado nos resultados obtidos é possível observar que o PLL rastreia a frequência fundamental, e o erro de fase gerado pelo filtro é muito pequeno. Conforme apresentado na Tabela 7, os melhores resultados apontam que para o PLL sem o sinal auxiliar ortogonal não foi possível atender as duas condições (tempo de assentamento e distorção harmônica) em simultâneo, indicando a necessidade de identificar alternativas para tal como, por exemplo, a inclusão do sinal auxiliar ortogonal.

Tabela 7 - Sumário dos melhores tempos de convergência e THD

Sumário de Resultados						
Tipo de Filtro	LPF IIR M=2		LPF FIR M=16		Notch	
Parâmetros	T(s)	THD(%)	T(s)	THD(%)	T(s)	THD(%)
Sinal sem distorções	0,3072	0,7785	0,1412	1,1932	0,3072	0,7795
Sinal com harmônicos	0,216	1,1693	1,909	1,3204	4,54	0,4826

3 ENHANCED PHASE-LOCKED LOOP - EPLL

3.1 Introdução aos PLLs com Sinal Ortogonal Auxiliar

Assim como é feito no PLL trifásico, o PLL monofásico com sinal de quadratura usa uma abordagem semelhante. O sinal em quadratura é gerado a partir de um referencial síncrono (SRF) para detecção da frequência fundamental do ângulo de fase, que é uma das entradas utilizadas na Transformada direta de *Park*.

A Figura 22 mostra o diagrama esquemático de controle da estrutura monofásica do PLL. O sinal de quadratura é produzido a partir de algoritmos que envolvem o sinal de entrada $v_{in}(t)$, em conjunto com o sinal $\omega_{pll}(t)$, e partir desses dois sinais são gerados os sinais $v_\alpha(t)$ e $v_\beta(t)$ [75]. Com os sinais $v_\alpha(t)$, $v_\beta(t)$ e $\omega_{pll}(t)$ são obtidos os sinais do eixo direto ($v_d(t)$), e de quadratura ($v_q(t)$) a partir da transformada direta de *Park*, cuja matriz de transformação $d - q$ é representada pela equação 11.

$$\vec{v}_{(dq)} = \begin{bmatrix} v_d \\ v_q \end{bmatrix} = \begin{bmatrix} \text{sen}(\omega_{pll}t) & -\text{cos}(\omega_{pll}t) \\ \text{cos}(\omega_{pll}t) & \text{sen}(\omega_{pll}t) \end{bmatrix} \times \begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} \quad (11)$$

O sinal na saída do controlador PI (ω_{ajus}) entra num somador com o sinal de frequência angular de referência ω_o e gera o sinal ω_{pll} que é integrado para gerar o sinal $\omega_{pll}(t)$, que contém informações de fase e frequência da componente fundamental do sinal de entrada ($v_{in}(t)$).

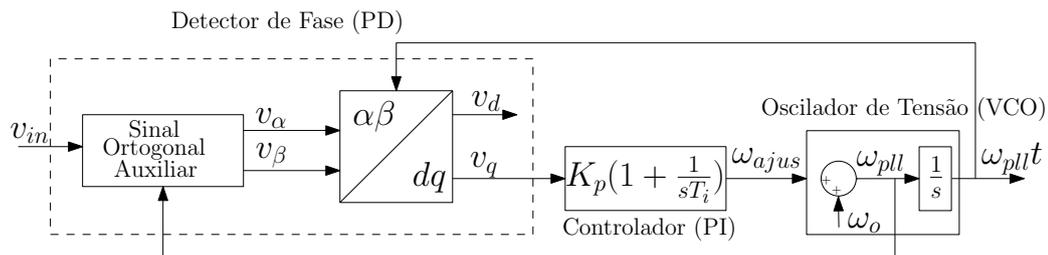


Figura 22 - Diagrama de controle do PLL com entrada em quadratura

O sinal de saída do PLL está em fase com o sinal de entrada quando o valor médio do sinal v_q for igual a zero. Em uma primeira análise, admitindo que o sinal de entrada seja dado por $v_{in}(t) = V \sin(\omega_1 t + \phi)$, a matriz de transformação representada pela equação

12 quando $\omega_{pll} = \omega_1$, é dada por:

$$v_{(dq)}^{\vec{}} = \begin{bmatrix} v_d \\ v_q \end{bmatrix} = \begin{bmatrix} \text{sen}(\omega_1 t - \omega_{pll} t) & -\text{cos}(\omega_1 t - \omega_{pll} t) \\ \text{cos}(\omega_{pll} t) & \text{sen}(\omega_{pll} t) \end{bmatrix} \times \begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} \quad (12)$$

Neste cenário, os sinais v_d e v_q são compostos apenas por componentes médias, então um controlador proporcional e integral (PI) terá naturalmente um melhor desempenho pois não há, nesta condição, componentes oscilantes nos sinais v_d e v_q . No entanto, mesmo na condição do sinal de entrada conter componentes harmônicas, o *ripple* resultante nos sinais v_d e v_q é menor do que o observado no PLL sem o sinal auxiliar de quadratura.

De fato, o benefício no uso do sinal de quadratura é que ele faz com que, para uma pequena diferença entre o erro do ângulo estimado e o ângulo de saída, o PLL possua o mesmo comportamento em regime permanente tanto em sistemas monofásicos quanto em sistemas trifásicos, ou seja, a presença da componente oscilatória em 120 Hz devido a desequilíbrios da tensão da rede, só existirá durante o regime transitório devido ao ajuste de fase da componente de quadratura. Além disso, também é capaz de rastrear variações de frequência dinamicamente, e de estimar sinais de tensão contendo distúrbios harmônicos, de fase e de frequência, que influenciam diretamente a qualidade do sinal e consequentemente da energia gerada [23], [76].

Entretanto, com base na estrutura ilustrada na Figura 22, quando o sinal de entrada possui distorção harmônica, não é possível assegurar a capacidade de eliminar a componente oscilante na segunda harmônica quando o sinal de saída entra em regime permanente, ou mesmo, não conseguir satisfazer simultaneamente os requisitos de ter uma resposta dinâmica rápida e também uma boa capacidade de rejeitar a distorção harmônica. Quando o sistema tem boa capacidade de filtragem, apesar de produzir uma saída estável pode ter o tempo de sincronização mais longo. Em contrapartida, um controlador que possui uma resposta de saída mais rápida, sincronizando com o sinal da rede, pode ter distorções no sinal refletidas no sinal produzido.

Deste modo, uma proposta de melhoria a alguns métodos de sincronização com sinais de quadratura é a aplicação de filtros digitais na entrada do sinal correspondente ao erro da malha de fase da estrutura PLL. Aplicando o filtro neste ponto é possível

garantir que quando o valor médio do erro de fase tende a zero, a frequência fundamental do sinal de saída está sincronizada com o sinal da frequência fundamental do sinal de entrada, ou seja, ambos os sinais estão em fase.

Almejando atenuar o efeito da distorção harmônica pelas componentes do sinal, tanto no regime transitório quanto no estacionário, as seções seguintes apresentam os três modelos de PLLs estudados nesse trabalho: *EPLL*, *SOGI – PLL* e *APF – PLL*, com suas respectivas respostas após aplicar os filtros nos pontos indicados.

3.2 Introdução ao EPLL

O circuito de sincronismo EPLL (*Enhanced Phase-Locked Loop*) foi proposto em [8]. É composto por duas malhas de controle, sendo uma para determinar frequência e fase, enquanto a outra é utilizada para determinar a amplitude. O produto dos sinais de saída das duas malhas, quando estão em regime permanente, corresponde à componente fundamental do sinal de entrada. O funcionamento destas malhas é explorado ao longo do capítulo.

Outro ponto importante corresponde aos sinais internos em suas duas malhas não apresentarem a segunda componente harmônica, desde que as malhas de controle estejam na condição de regime permanente e, além disso, que o sinal de entrada não esteja distorcido. Em seguida são descritas as equações referentes ao modelo matemático do EPLL no domínio do tempo.

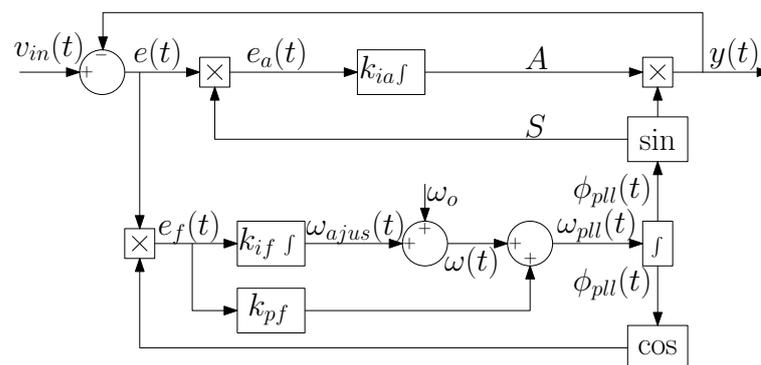


Figura 23 - Diagrama do EPLL

A Figura 23 mostra o diagrama em blocos da estrutura utilizada pelo EPLL, composta por: A , ω_{pll} e ϕ_{pll} que estimam a amplitude, a frequência angular e o ângulo de fase da componente fundamental do sinal de entrada. O ganho k_{ia} controla a velocidade de

convergência da malha de amplitude, enquanto os ganhos k_{if} e k_{pf} são responsáveis por controlar a velocidade de convergência da malha utilizada para determinar a frequência e o ângulo de fase.

3.3 Análise Matemática do EPLL

Assumindo que os sinais de entrada e saída do PLL, são respectivamente $v_{in}(t) = V_{in} \sin(\omega_1 t)$, e, $y(t) = V_{out} \sin(\omega_{pll} t)$, o sinal do erro da malha de fase apresentado na Figura 23 por $e_f(t)$ é apresentado na equação 13 e pode ser reescrito conforme apresentado na equação 14. O primeiro termo à esquerda representa a componente média, enquanto os demais correspondem à componente oscilante de segunda harmônica.

Assumindo que $V_{in} = V_{out} = 1$, em regime permanente $\omega_1 \approx \omega_{pll}$, a componente média do sinal $e_f(t)$ tende a zero. Considerando que o sinal de entrada não tem distorção harmônica, pode-se afirmar que $e_f(t)$ é igual a zero.

$$e_f(t) = (v_{in}(t) - y(t)) \cos(\omega_{pll} t) = (V_{in} \sin(\omega_1 t) - V_{in} \sin(\omega_1 t)) \cos(\omega_{pll} t) \quad (13)$$

$$e_f(t) = \left(\frac{V_{in}}{2} \sin(\omega_1 t - \omega_{pll} t) \right) + \left(\frac{V_{in}}{2} \sin(\omega_1 t + \omega_{pll} t) \right) - \left(\frac{V_{out}}{2} \sin(2\omega_{pll} t) \right) \quad (14)$$

Neste caso, quando o regime estacionário é atingido, $y(t)$ corresponde à componente fundamental de $v_{in}(t)$. O sinal $e(t)$, que é dado pela equação 15, passa a ser dado pela equação 16.

$$e(t) = (v_{in}(t) - y(t)) \sin(\omega_{pll} t) = \left(\frac{V_{in}}{2} \sin(\omega_1 t) - \frac{V_{out}}{2} \sin(\omega_{pll} t) \right) \sin(\omega_{pll} t) \quad (15)$$

$$e(t) \approx \frac{V}{2} \sin(\omega_{pll} t - \omega_1 t) = 0 \quad (16)$$

A Figura 24 representa a dinâmica do sinal de erro de fase, $e_f(t)$, e do seu sinal de erro médio $\bar{e}_f(t)$, para os sinais de entrada sem distorções harmônicas e com componentes

harmônicas de 3^a, 5^a e 7^a em um EPLL. Neste caso teste, $e_{f1}(t)$ corresponde ao erro da malha de fase com o sinal de entrada sem distorção harmônica, enquanto que $e_{f2}(t)$ é o erro da malha de fase com o sinal de entrada distorcido. Além disso, também é apresentado o comportamento de sincronismo do PLL utilizando dois controles com ganhos distintos: (1) $k_{ia} = k_{pf} = 455$ e $k_{if} = 6805$, e (2) $k_{ia} = k_{pf} = 105$ e $k_{if} = 9205$.

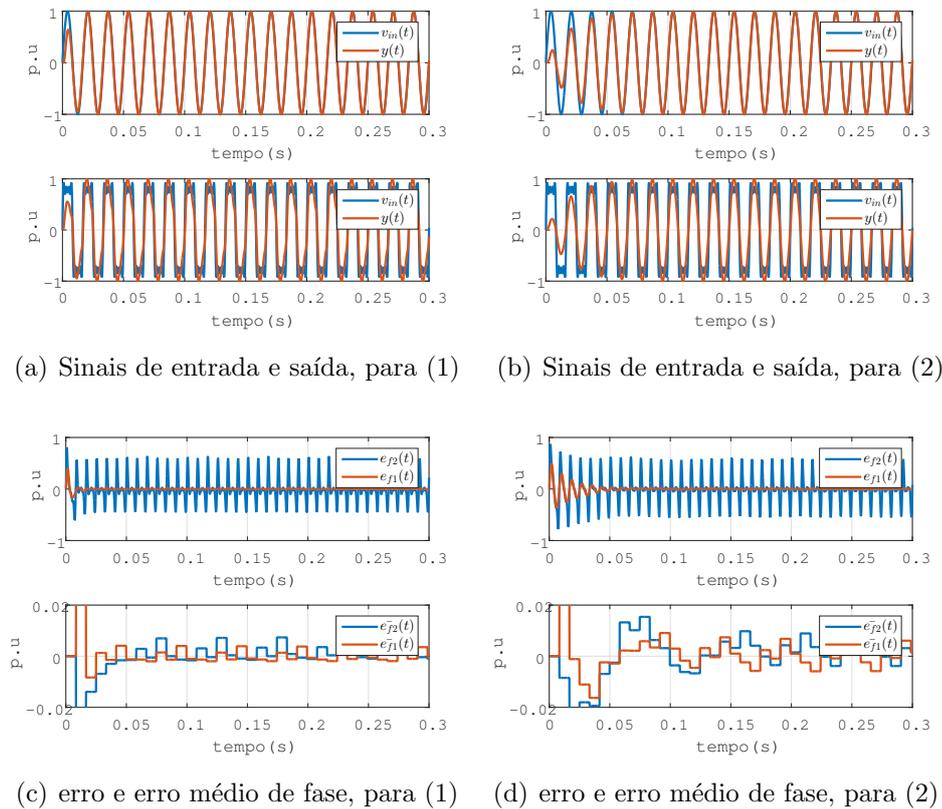
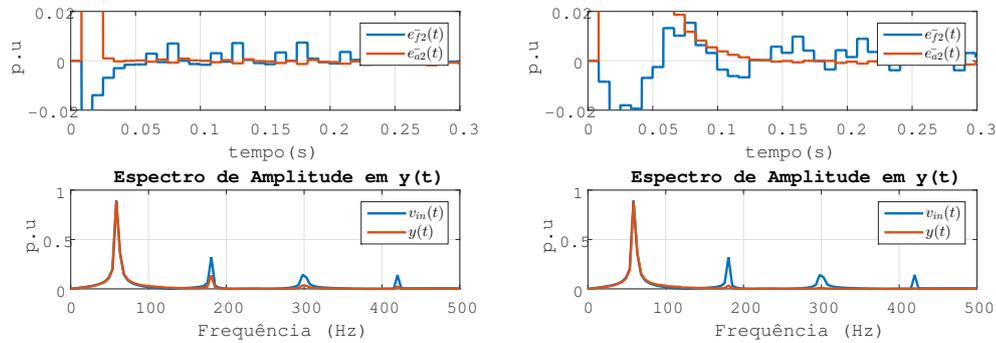


Figura 24 -Comportamento de $v_{in}(t)$ e $y(t)$, $e_f(t)$ e $\bar{e}_f(t)$ com um sinal de entrada com e sem distorção harmônica.

Observando a Figura 24 é possível constatar a influência do controle PI na dinâmica do PLL. O conjunto de ganhos (1) obteve uma dinâmica mais rápida de convergência e menos subamortecida para o sinal de erro da fase, do que o (2). No entanto, o conjunto de ganhos (2) reduziu a amplitude do sinal do erro da malha de fase, e isso é refletido no valor final da distorção harmônica.

A Figura 25 apresenta o espectro harmônico do sinal de saída para os dois conjuntos de ganhos quando o PLL é alimentado por um sinal de referência com distorção harmônica. Nessa mesma figura, também são apresentadas as dinâmicas de convergência para os sinais de erro médio da malha de fase e amplitude.

Nas duas situações (1 e 2), $e_f(t)$ e $e_a(t)$ assumem dinâmicas diferentes, e ambas devem ser consideradas durante o cálculo do tempo de assentamento final para o EPLL. Portanto, o tempo total de convergência do EPLL é determinado pelo maior tempo de convergência entre os sinais dos erros da malha de fase e amplitude.



(a) FFT, erro médio de fase e erro médio de amplitude, para (1) (b) FFT, erro médio de fase e erro médio de amplitude, para (2)

Figura 25 -Espectro harmônico, \bar{e}_f e \bar{e}_a para um sinal de referência distorcido

A Tabela 8, apresenta o tempo de acomodação e o THD do sinal de saída para os dois conjuntos de ganhos. Como foi observado anteriormente, os ganhos influenciam tanto no tempo de assentamento do PLL, quanto no valor da distorção harmônica. O espectro harmônico mostra que a amplitude da terceira harmônica no caso (1) é 24% maior do que a amplitude gerada pelo caso (2), o que influencia no valor final do THD, mostrando que embora a dinâmica em (1) tenha sido mais rápida, (2) obteve a menor distorção harmônica.

Tabela 8 -Tempo de assentamento e THD

Parâmetro	$k_{ia} = k_{pf} = 455$ $k_{if} = 6805$			$k_{ia} = k_{pf} = 105$ $k_{if} = 9205$		
	T_a (s)	T_f (s)	THD(%)	T_a (s)	T_f (s)	THD(%)
Sinal Distorcido	0,0167	0,025	15,15	0,025	0,0665	3,7964

Neste contexto, o objetivo do filtro posicionado em $e_f(t)$ é encontrar uma situação intermediária em que o EPLL tenha uma resposta ao transitório inicial (quando o circuito é acionado) abaixo de 6 ciclos, considerado o tempo médio até o sinal atingir o regime permanente. E também obter um valor de distorção harmônica abaixo de 2%, abaixo do valor mínimo de 3% para tensões nominais enquadradas em $V_n < 1kV$ [77].

3.4 EPLL com Filtros Digitais

Para efeito de análise e simulação, a Figura 26 mostra a posição em que o filtro foi inserido na estrutura do EPLL. Neste trabalho o filtro foi inserido no sinal de erro da malha de fase, $e_f(t)$, para todos os PLLs estudados. Enquanto a frequência de corte se mantém fixa em 80 Hz para o filtro passa-baixas, para o filtro notch os coeficientes do filtro são dinamicamente ajustados, e o valor de frequência estimada é instantaneamente realimentada para o filtro, atualizando sua frequência de rejeição com o dobro do valor da frequência fundamental.

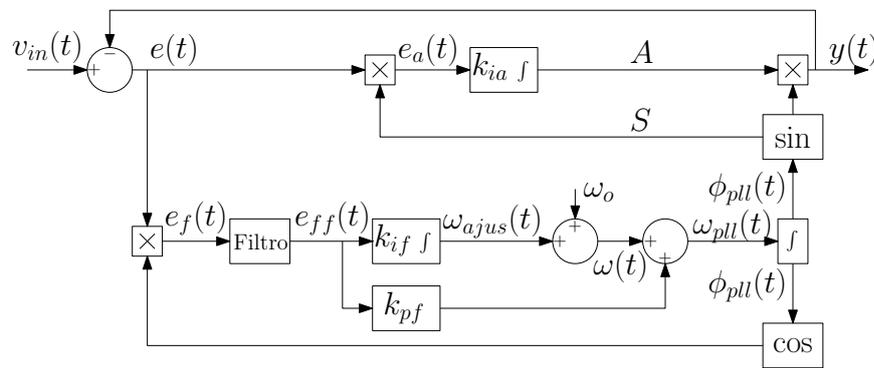


Figura 26 Diagrama em blocos do EPLL com filtro inserido na malha de fase e frequência

3.4.1 Sintonia dos ganhos

O objetivo do controle do PLL é estimar a frequência de um sistema, fazendo com que o ângulo de fase do sinal de saída acompanhe o ângulo do sinal de entrada, independentemente de haver variações no comportamento do sinal durante o período transitório. Ele faz com que o comportamento do sistema seja robusto à ruídos e distorções harmônicas do sinal que podem ser causadas por harmônicas, transientes do sinal, deslocamento na componente contínua (CC), entre outras causas.

Nesse sentido, a fim de realizar a sintonia dos ganhos dos PLLs de forma que eles atendam as condições impostas de ter distorção harmônica abaixo de 2% e uma dinâmica relativamente rápida durante o período em que a saída do PLL sincroniza com o sinal de entrada no primeiro transitório, foi utilizado um método que inspeciona os algoritmos de sincronismos equivalentes aos circuitos dos PLLs, conforme é mostrado na Figura 27.

Para esta análise, foi considerado um sinal de entrada distorcido com a 3^o, 5^o e 7^o harmônicas além da frequência fundamental, e as malhas foram associadas a um conjunto

finito de pontos representando os ganhos integral e proporcional. Cada um desses ganhos foi atualizado em um passo específico, com o propósito de obter diferentes conjunto de ganhos e calcular os tempos de convergência e a taxa de distorção harmônica associadas a cada conjunto. É importante ressaltar que a sintonia dos ganhos foi feita para esse sinal de entrada específico, e ao alterá-lo, aumentando a quantidade de harmônicas, ou mesmo eliminando todas elas, os ganhos sintonizados podem sofrer alteração. Isso indica que o sinal de referência utilizado influencia os valores dos ganhos escolhidos.

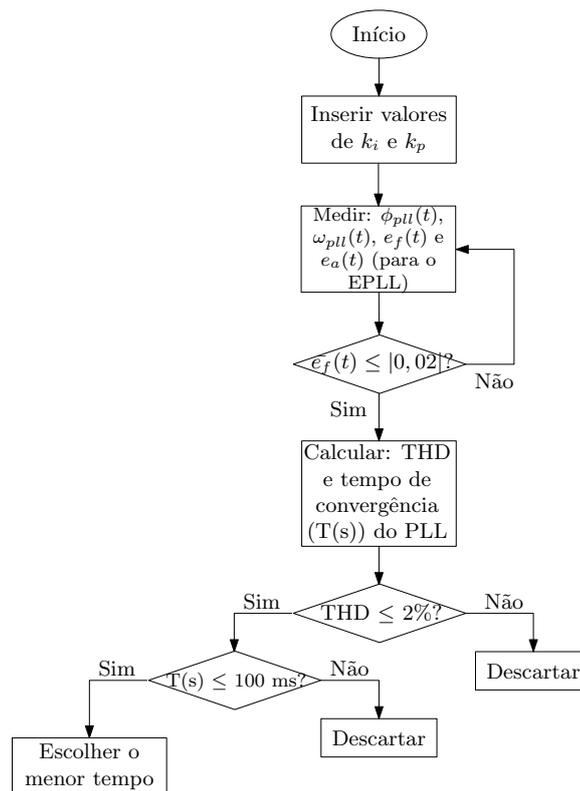


Figura 27 Metodologia de sintonia para o controle do PLL

O tempo de convergência foi calculado em função dos erros médios da malha de fase, $\bar{e}_f(t)$, e da malha de amplitude, $\bar{e}_a(t)$, do EPLL. Considerando v_{in} sem harmônicas pares, só ímpares, o sinal de erro é composto obrigatoriamente por uma componente média e harmônicas pares. Diante disso, o filtro usado para realizar a média do erro considerou uma janela deslizante de 8,3 ms, correspondente a um ciclo da segunda harmônica, e devido a isso é possível extrair a componente média das outras harmônicas pares.

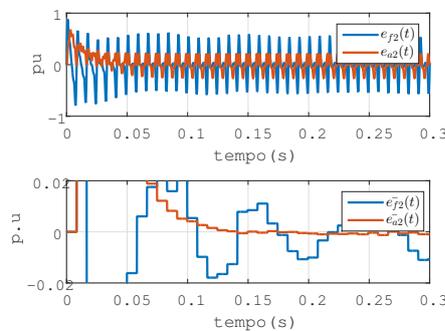
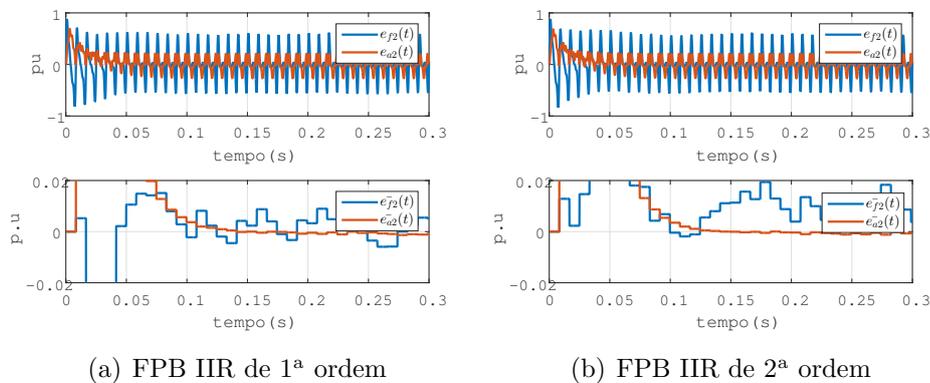
Para esse sinal foi estimada uma faixa de variação de amplitude de 0,02 p.u. e no instante em que os sinais de erro médio da malha de fase e amplitude, $\bar{e}_f(t)$ e $\bar{e}_a(t)$, atingem esse valor absoluto e se mantêm dentro dessa faixa de valor, o sistema é considerado em

regime permanente, e seu tempo de acomodação é registrado.

No EPLL, o desempenho do sinal de sincronismo depende tanto da malha de fase, que necessita do ajuste apropriado dos ganhos proporcional e integral representados por k_{if} e k_{pf} , quanto do ajuste apropriado do ganho k_{ia} da malha de amplitude, pois a dinâmica geral do sistema depende da sintonia das duas malhas. Por isso, tanto o valor médio do erro da malha de fase, $\bar{e}_f(t)$ quanto o valor médio do erro da malha de amplitude $\bar{e}_a(t)$ precisam ser iguais a zero para que a saída do EPLL possa estar em regime permanente. O fluxograma da Figura 27 resume a metodologia de sintonia do controle do PLL ao longo deste trabalho.

3.4.2 EPLL com Filtro Passa-Baixas IIR

Inicialmente foram estimados os valores da componente fundamental e suas componentes harmônicas, e em seguida foi usado um filtro passa-baixas com uma frequência de corte em 80 Hz a fim de atenuar o sinal de forma que eliminasse qualquer resíduo da componente oscilante em 120 Hz.



(c) FPB IIR de 4ª ordem

Figura 28 - Comportamento $e(t)$ e $\bar{e}(t)$ das malhas de fase e amplitude.

A Figura 28 mostra o comportamento dos sinais do erro, $e(t)$, e erro médio $\bar{e}(t)$, das malhas de fase e amplitude, quando o sinal de referência do PLL possui distorção harmônica gerada pela 3ª, 5ª e 7ª harmônicas. A Figura 28(a), a Figura 28(b) e a Figura 28(c), representam o comportamento do sinal com três variações de FPB IIR: 1ª, 2ª e 4ª ordem utilizando os ganhos do caso (2), e seus parâmetros de tempo são sumarizados pela Tabela 9, onde são exibidos os tempos de convergência de $\bar{e}_f(t)$ e $\bar{e}_a(t)$ para cada um dos filtros IIR testados.

Exceto pelo FPB IIR de 1ª ordem, os outros, de ordem superiores, exibem resposta com distorção harmônica abaixo de 2%, assim como desejado. Apesar do FPB IIR de 4ª ordem ter obtido o melhor desempenho para esse conjunto de ganhos, o filtro IIR de 2ª ordem, que manteve um desempenho intermediário (considerando o tempo de convergência e THD), foi utilizado para sintonizar o EPLL no restante desse capítulo devido ao seu menor esforço computacional quando comparado ao filtro de quarta ordem, e também por poder ter sua dinâmica melhorada com ganhos adequados ao modelo.

Tabela 9 - THD e tempo de assentamento para um FPB IIR de diferentes ordens

$k_{ia} = k_{pf} = 105$ $k_{if} = 9205$	IIR de 1ª ordem			IIR de 2ª ordem			IIR de 4ª ordem		
	$T_a(s)$	$T_f(s)$	THD(%)	$T_a(s)$	$T_f(s)$	THD(%)	$T_a(s)$	$T_f(s)$	THD(%)
Sem Distorção	0,0665	0,0416	0,6228	0,0665	0,017	0,6667	0,0665	0,0499	0,7054
Sinal Distorcido	0,0665	0,0416	2,2379	0,0665	0,0748	1,3586	0,0665	0,0499	1,4415

Como foi mencionado anteriormente, a sintonia dos ganhos do EPLL foi feita através de um processo de varredura do circuito PLL a partir da combinação dos ganhos k_{ia} , k_{if} e k_{pf} . Cada um desses ganhos foi limitado a uma faixa de valores e dentro dela foi fixado um passo de cálculo. Para o ganho integral da amplitude e o ganho proporcional de fase, limitados em $10 < k_{ia} < 160$ e $5 < k_{pf} < 160$, foi fixado um passo de 20 unidades, e para o ganho integral de fase, limitado em $2200 < k_{if} < 9000$ foi dado um passo de 1000 unidades.

Após a inspeção do modelo com os arranjos dos ganhos k_{ia} , k_{if} e k_{pf} foram geradas duas bases de dados: a primeira com os tempos de assentamento dos erros das malhas de fase, e a segunda com os tempos de assentamento dos erros da malha de amplitude. O valor da distorção harmônica também foi calculado em ambas as bases de dados.

A Figura 29 mostra as superfícies de contorno dos tempos de assentamento do erro médio da malha de amplitude para diferentes valores de k_{pf} , combinando-se valores de k_{ia} e k_{if} . É possível observar que quando k_{pf} varia, a área de contorno que possui o menor

tempo de assentamento para a malha de amplitude se concentra em valores de $k_{ia} > 100$, pois quando o valor do ganho integral da malha de amplitude aumenta, o tempo de assentamento diminui. Como $k_{ia} = 150$ representa o ganho integral de malha de amplitude em que todas as superfícies de contorno atingem o menor tempo de assentamento calculado para a faixa de valores inspecionados, foi assumido esse valor para o ganho da malha de amplitude.

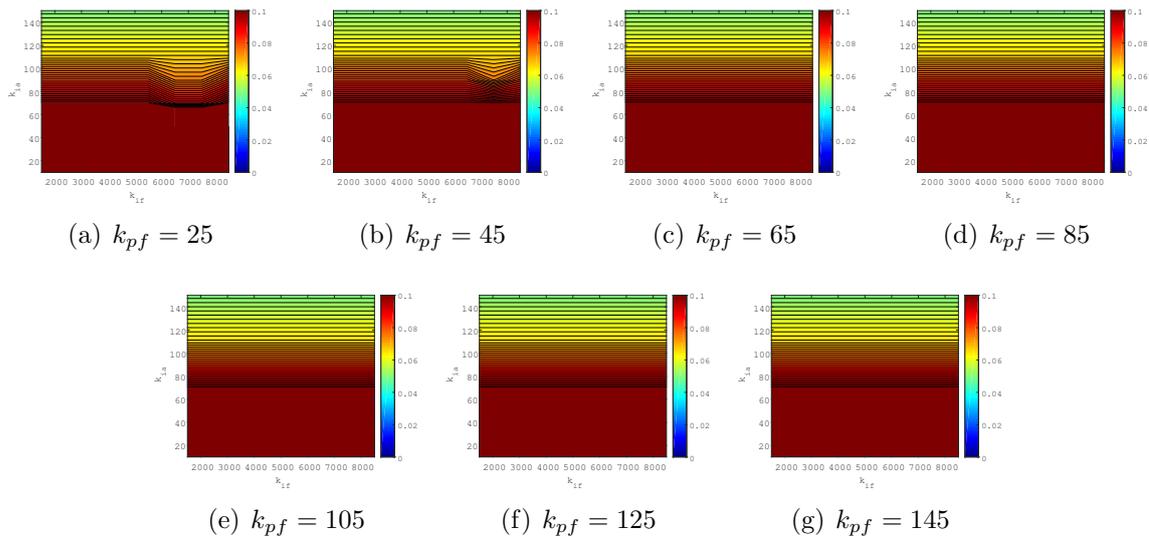


Figura 29 - Superfície dos tempos de assentamento do erro da malha da amplitude

A Figura 30 mostra as superfícies de contorno de tempos de assentamento do erro médio da malha de fase para diferentes valores de k_{pf} , combinando-se valores de k_{ia} e k_{if} . A escala de tempo varia de 0 a 100 ms, e à medida que ocorre a gradação da cor azul claro para a cor azul escuro, os tempos de assentamento diminuem. Quando k_{pf} aumenta, o tempo de assentamento se torna ainda menor.

A Figura 30 mostra que há uma faixa de valores possíveis para k_{pf} . Para garantir que o valor escolhido esteja dentro das condições de distorção e tempo de convergência estipulados, todas as combinações de ganhos que geravam distorção acima de 2% e tempo de convergência acima de 6 ciclos (equivalente a 100 ms) foram desconsideradas. Com o parâmetro $k_{ia} = 150$ definido, as bases de dados geradas foram filtradas com o propósito de encontrar os menores tempos de assentamento em comum para a componente média do erro da malha de fase e de amplitude.

Em uma segunda inspeção da base de dados, foi feito um gráfico de dispersão com o ganho k_{pf} em comum para as duas bases de dados a fim de encontrar o ganho k_{if} em

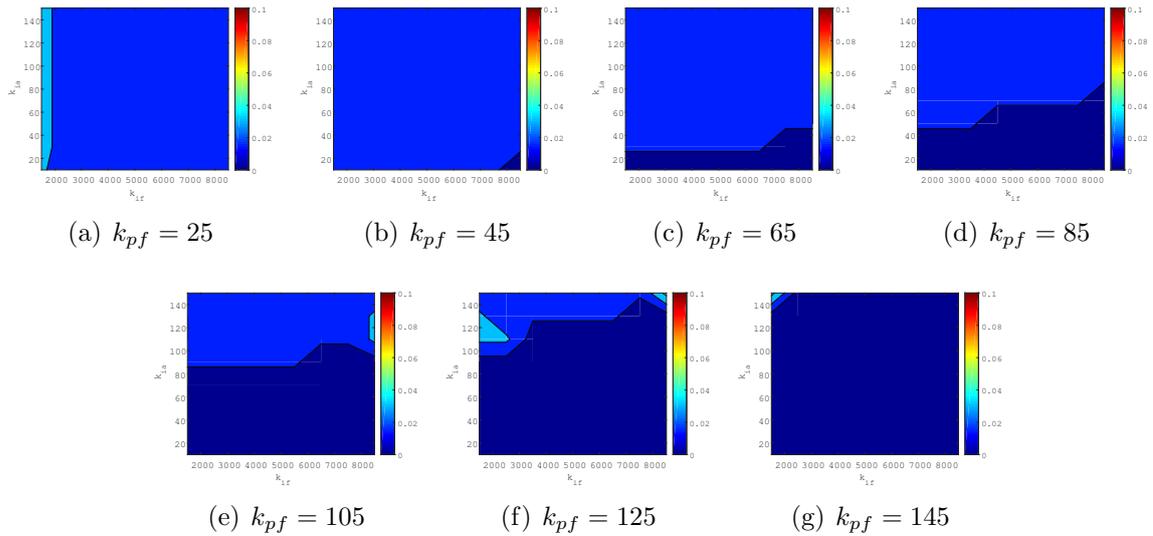
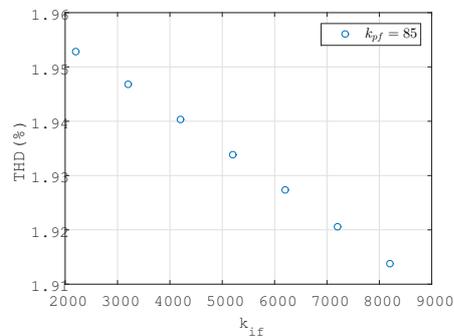


Figura 30 - Superfície dos tempos de assentamento do erro da malha da fase

comum entre elas. A Figura 31 exhibe a relação entre os valores de THD e os ganhos k_{if} restantes após aplicar o filtro nas bases de dados. Com o gráfico de dispersão, fica evidente que devido a menor taxa de distorção harmônica, os melhores valores de ganhos, dentro da faixa de valores inspecionados, com o passo estipulado, para a malha da fase são $k_{ia} = 150$, $k_{pf} = 85$ e $k_{if} = 8200$.



(a) $k_{pf} = 85$

Figura 31 - Dispersão gerada pelos THDs e ganhos da fase

A Figura 32 mostra o comportamento do sinal de saída do PLL, do erro da malha de fase, e_f , e erro da malha de amplitude, e_a , antes e após inserção do FPB IIR de segunda ordem com os ganhos $k_{pf} = 85$, $k_{if} = 8200$ e $k_{ia} = 150$.

Quando esse mesmo conjunto de ganhos foi testado sem filtro, sua dinâmica foi rápida, porém com alta distorção harmônica para um sinal com componentes harmônicas.

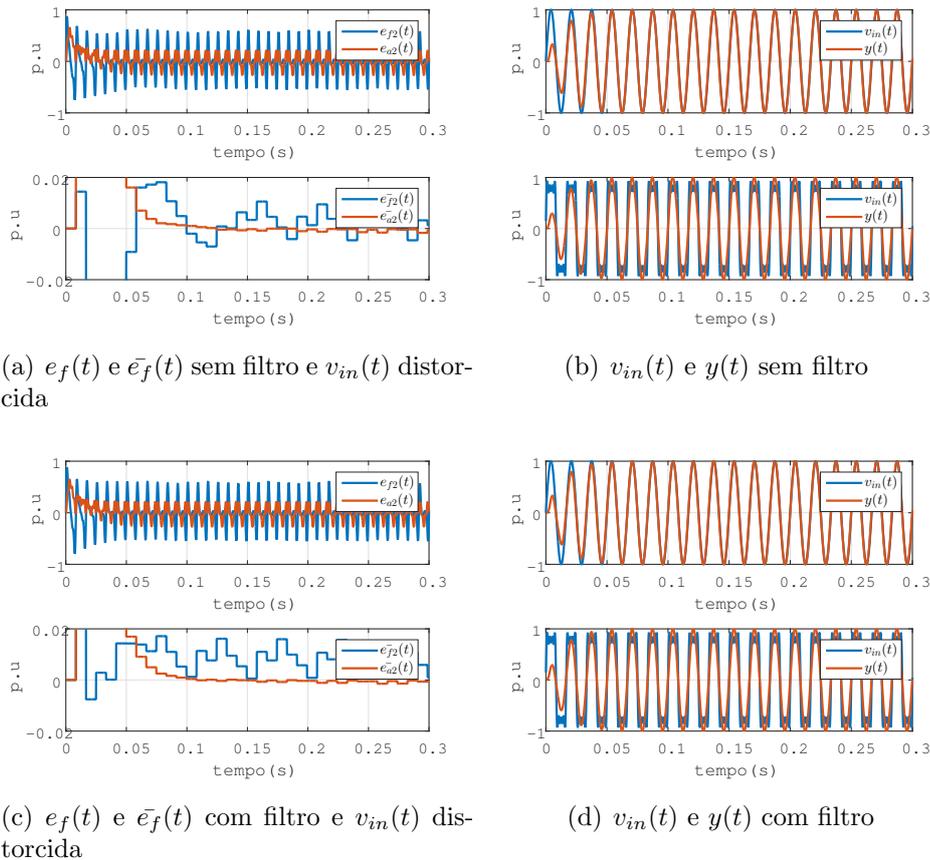


Figura 32 - Comportamento dos sinais do EPLL com filtro passa-baixa

Após aplicar o filtro passa-baixas, a dinâmica do sistema permaneceu rápida, com o sincronismo do sinal do PLL acontecendo em aproximadamente três ciclos, e menor distorção harmônica. Os valores referentes ao THD e aos tempos de assentamento dos sinais são exibidos na Tabela 10.

Tabela 10 - THD e Tempo de assentamento para $k_{pf} = 85$, $k_{if} = 8200$ e $k_{ia} = 150$

Filtro	Sem Filtro			FPB IIR M=2		
Parâmetro	T_{fase}	T_{amp}	THD(%)	T_{fase}	T_{amp}	THD(%)
Sinal sem distorção	41,6ms	50,0ms	0,5625	16,7ms	50,0ms	0,6179
Sinal distorcido	49,9ms	49,9ms	3,884	16,7ms	50,0ms	1,9174

3.4.3 EPLL com Filtro Notch de 2ª ordem

Uma outra alternativa para atenuar problemas referentes as oscilações harmônicas no sinal de entrada foi o uso de filtros notch. Em situação práticas, a frequência da componente fundamental pode variar devido a perturbações na rede, razão pela qual é necessário adotar uma estratégia de ajuste dos coeficientes do filtro notch para que

atue corretamente. Devido a essa instabilidade usou-se a estratégia adotada por [19], onde a frequência estimada seria diretamente realimentada no filtro a fim de atualizar instantaneamente sua frequência de rejeição.

O circuito EPLL foi filtrado usando um filtro notch de segunda ordem cujo parâmetro relativo à sua frequência de rejeição é adaptado em função da frequência rastreada, e projetado para eliminar as frequências de 2ª harmônica. Desta forma, obtêm-se um melhor desempenho no período transitório, além de também melhorar o desempenho do EPLL caso o sinal de entrada seja distorcido, o que é muito comum em redes monofásicas de baixa tensão. Um exemplo disso é o terceiro harmônico no sinal de entrada que também tem vestígios da componente de segunda harmônica em $e_f(t)$, e que pode ser atenuada pelo filtro notch.

O controle PLL foi parametrizado através de uma função que inspeciona o algoritmo e calcula os tempos de convergência de acordo com cada conjunto de ganhos fornecido. Para o modelo de EPLL com filtro notch, foram usadas as seguintes faixas de valores para cada ganho: $4 < k_{pf} < 64$ e $20 < k_{ia} < 120$ com um passo de 10 unidades, e $100 < k_{if} < 2000$ com um passo de 200 unidades.

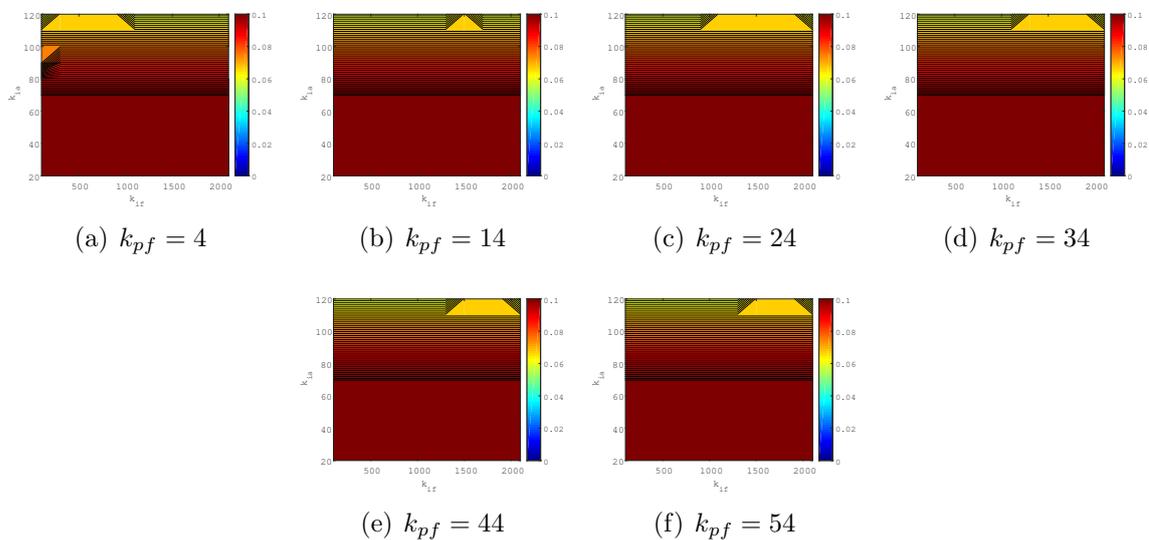


Figura 33 - Superfície dos tempos de assentamento do erro da malha de amplitude

Assim como foi feito para o modelo com filtro passa-baixa, foram gerados dois novos bancos de dados com possíveis conjuntos de ganhos para o EPLL com filtro notch de segunda ordem. Como é possível observar nas superfícies de contorno dos tempos referentes a estabilização do erro da malha de amplitude, Figura 33, numa escala que

varia de 0 a 100 ms, o valor do sinal $e_a(t)$ atinge estabilidade entre 50 ms e 70 ms, concentrando a faixa de valores do ganho integral da amplitude em $110 < k_{ia} < 120$. $k_{ia} = 120$ foi definido como o valor do ganho integral da malha de amplitude.

A Figura 34 representa as superfícies de contorno para os menores tempos de assentamento para o sinal $e_f(t)$. Apesar de $k_{pf} = 14$ ocupar uma superfície com maior concentração dos menores tempos de assentamento, o valor do THD também foi considerado para a escolha dos ganhos.

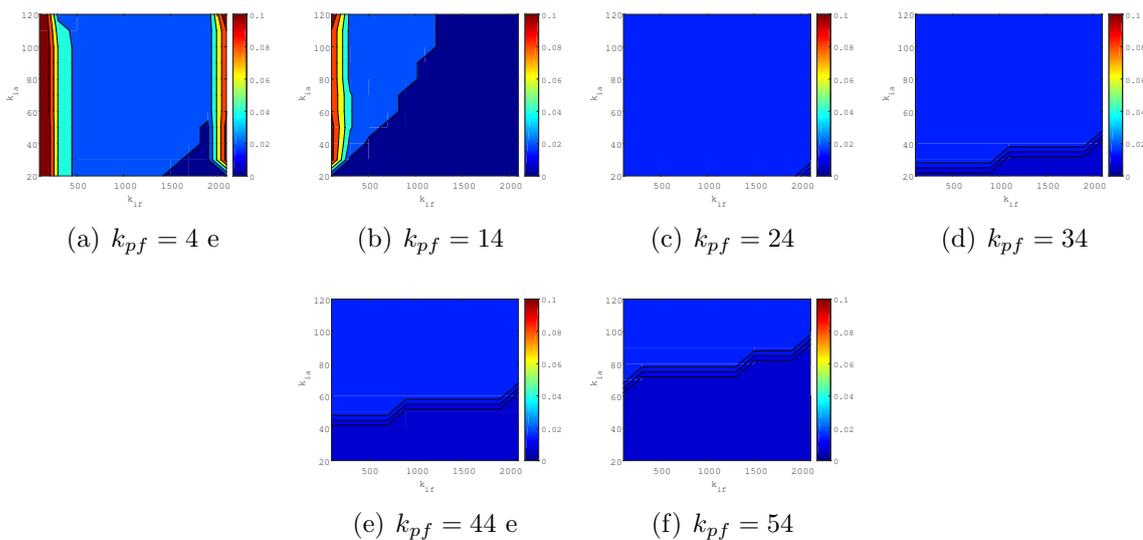


Figura 34 - Superfície dos tempos de assentamento do erro da malha de fase

O valor de k_{ia} definido restringe a escolha dos outros valores de ganhos. Diante disso, foram analisadas as combinação de valores dos ganhos k_{pf} e k_{if} presentes em $k_{ia} = 120$. Ao fixar o valor de k_{pf} , como é exibido na Figura 35, foi possível gerar alguns gráficos de dispersão mostrando os menores valores de THD em função do ganho integral de fase k_{if} . À medida que o valor de k_{pf} aumenta, o valor de THD também aumenta. Visto isso, o valor do ganho proporcional da fase escolhido para sintonizar o EPLL foi $k_{pf} = 14$, pois assim como mostra a Figura 35(b), nessa região há maior concentração dos menores tempos de assentamento. Embora $k_{pf} = 4$ aponte menores valores de THD, o conjunto de ganhos que fornecem esses pontos foram descartados devido ao longo tempo de convergência.

No ponto em que há o menor valor de THD para $k_{pf} = 14$ e $k_{ia} = 120$, o ganho integral da malha de fase é dado por $k_{if} = 1800$. Logo, esses foram os ganhos utilizados para sintonizar o EPLL com filtro notch.

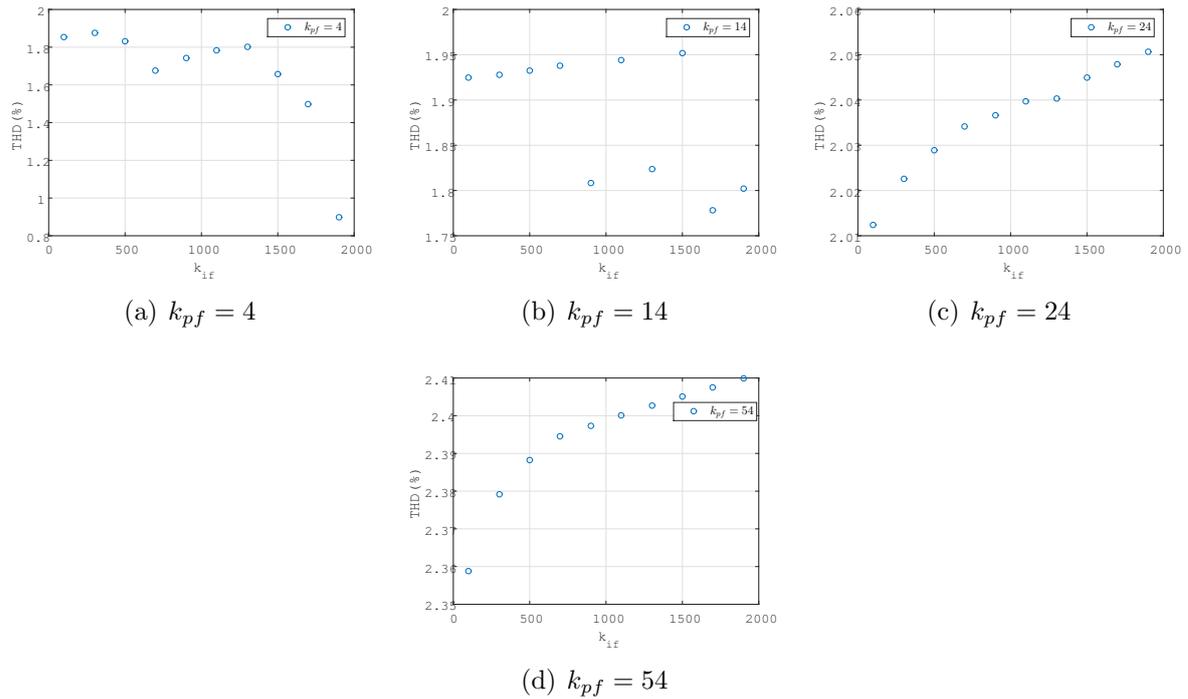


Figura 35 - Dispersão dos valores de THD em função de k_{if}

A Figura 36 exibe a dinâmica de sincronismo entre os sinais de entrada e saída do PLL, mostrando que o sinal de saída leva 3, 5 ciclos para convergir após o uso do filtro. A Figura 36(b) mostra o comportamento do sinal de erro da malha de fase para dois tipos de sinais: com e sem distorção harmônica. Enquanto as outras figuras exibem o espectro harmônico do sinal de saída, e o sinal do erro médio da malha de fase *versus* o sinal do erro médio da malha de amplitude.

Nesse último, é possível observar que os sinais possuem tempos de convergência distintos. Enquanto o erro da malha de fase leva mais tempo para convergir quando o sinal de entrada não possui distorção harmônica, o comportamento se inverte quando o sinal tem distorção harmônica, e ele converge mais rápido que o erro da malha de amplitude. Isso se deve ao comportamento não linear do PLL, fazendo com que ele se comporte de forma irregular para sinais diferentes. Como a sintonia dos ganhos foi feita para um sinal de referência distorcido, é natural que a dinâmica do PLL se comporte melhor para esse tipo de sinal.

Em seguida, a Tabela 11 resume os resultados obtidos para o EPLL sintonizado com o filtro notch, incluindo o tempo de convergência do sinal de erro médio da fase, $\bar{e}_f(t)$, e do sinal de erro médio da amplitude, $\bar{e}_a(t)$.

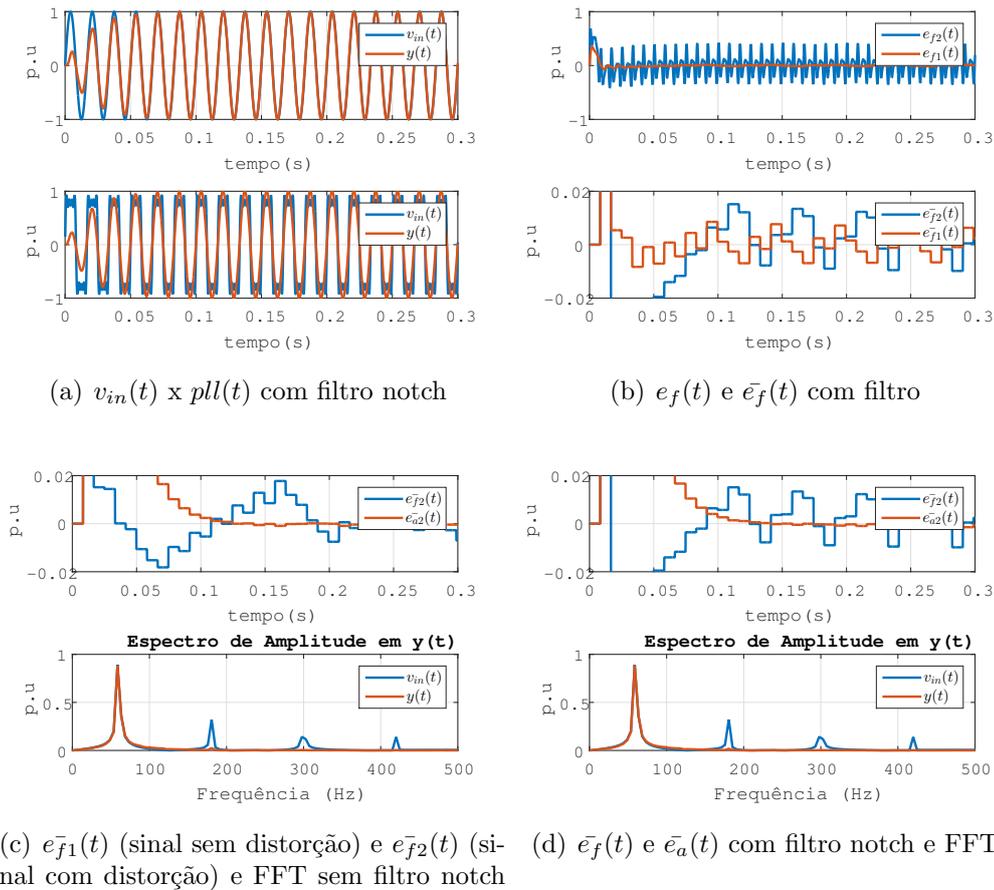


Figura 36 -Comportamento dos sinais do EPLL com filtro notch para $v_{in}(t)$ com e sem distorção harmônica

Tabela 11 - THD e Tempo de assentamento

Tipo de Filtro	Sem filtro			Filtro Notch		
Parâmetros	T_a (s)	T_f (s)	THD(%)	T_a (s)	T_f (s)	THD(%)
Sinal sem distorções	0,0582	0,108	0,5960	0,0582	0,0416	0,5878
Sinal com harmônicas	0,0582	0,1246	1,9454	0,0582	0,033	1,9277

3.5 Resultados Experimentais

Assim como foi feito para o PLL sem sinal ortogonal auxiliar, o EPLL também foi implementado em um processador digital. O sinal de entrada contendo 3º, 5º e 7º harmônicos além da fundamental foi gerado da mesma forma que foi gerado para o PLL sem sinal ortogonal auxiliar, com uma frequência de 20kHz, quatro vezes maior do que a frequência utilizada na simulação computacional. Como pode ser visto na Figura 37(a), parte das componentes harmônicas geradas no sinal de referência foram atenuadas pelo filtro RC do circuito, usado para atenuar as altas frequências de chaveamento.

Após inserir o filtro notch no erro da fase, o sinal de saída do EPLL leva em torno

de 50 ms para sincronizar com a entrada do sinal, originalmente distorcido. O momento em que ocorre o sincronismo pode ser visto na Figura 37.

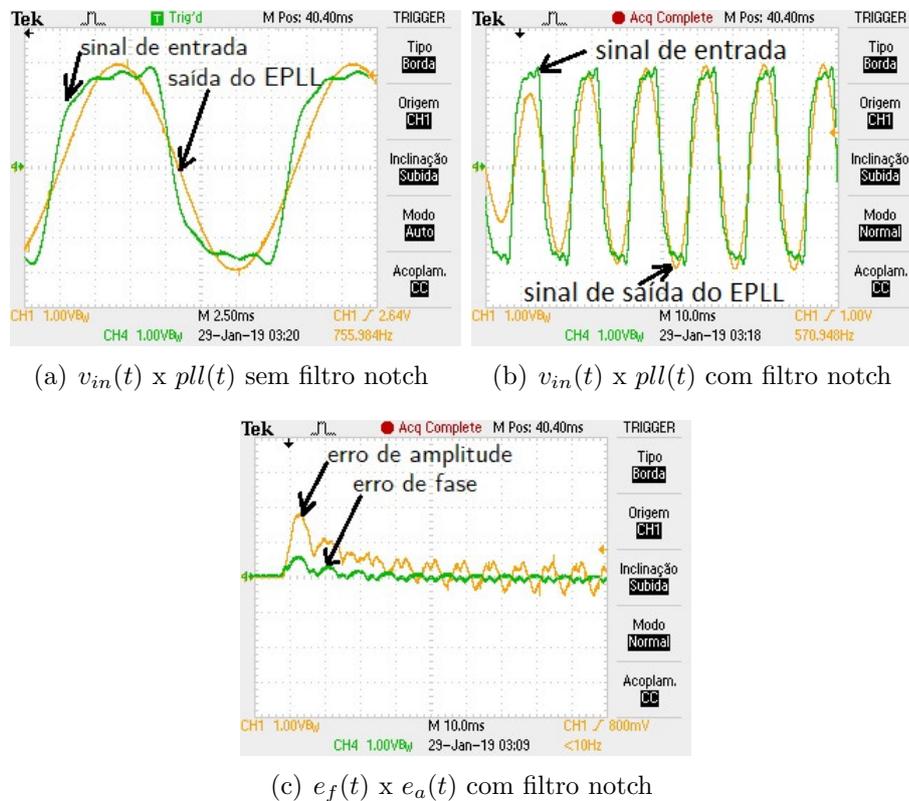


Figura 37 - Dinâmica do sinal com filtro notch. Os resultados foram obtidos com o eixo da abscissa apresentando 10 ms/div e o eixo da ordenada com 1 V/div

A ?? apresenta a dinâmica de convergência do erro da malha de fase e do erro da malha de amplitude do EPLL após ser sintonizado com o filtro notch. A janela de cálculo utilizada para mostrar a convergência do sinal foi de 10 ms no eixo horizontal, com submúltiplos de 0,2 ms. Enquanto o sinal $e_f(t)$ estabiliza em uma janela de ≈ 16 ms, o sinal $e_a(t)$ leva uma janela de aproximadamente ≈ 50 ms para convergir. Como o sinal do erro da malha de amplitude demora mais a convergir, o tempo que o EPLL leva para sincronizar é determinado pelo maior valor de convergência, ou seja, 50 ms.

A FFT do sinal de saída do PLL é mostrada na Figura 38. Cada quadrado representa uma janela de aproximadamente 62,5 Hz no eixo horizontal, e 10 dB no eixo vertical. Pode-se observar que antes da filtragem do sinal e_f , as componentes na 3ª, 5ª e 7ª harmônicas tinham aproximadamente 12dB, 7,5dB e 1dB. Após o filtro ser utilizado, todas as componentes foram atenuadas. A da 3ª harmônica foi reduzida para -12dB, a de 5ª foi atenuada em -20dB, enquanto a de 7ª harmônica foi praticamente eliminada.

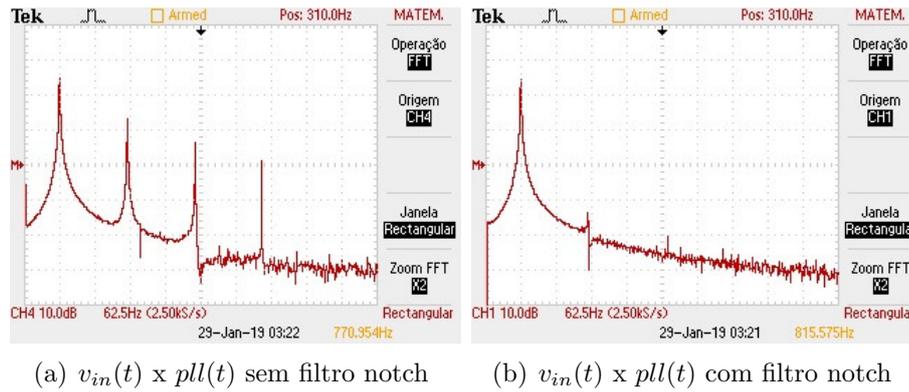


Figura 38 - FFT do sinal após filtro notch. Os resultados foram obtidos com o eixo da abscissa apresentando 62,5 ms/div e o eixo da ordenada com 10 dB/div

3.6 Conclusões Parciais

Nesse capítulo foram realizadas simulações para o EPLL em três casos testes principais: sem filtros digitais, com filtros passa-baixa IIR de segunda ordem, e filtro sintonizado. A Tabela 12 sumariza os resultados de simulação obtidos nesses testes.

Tabela 12 - Sumário de Resultados para o EPLL

Filtro	Filtro Notch			FPB IIR de 2ª ordem		
	$T_{fase}(s)$	$T_{amp}(s)$	THD(%)	$T_{fase}(s)$	$T_{amp}(s)$	THD(%)
Sinal sem distorção	16,7ms	16,7ms	0,5734	41,6ms	58,2ms	0,5878
Sinal distorcido	41,6ms	49,9ms	1,6872	33,3ms	58,2ms	1,9277

Conforme apresentado na tabela, os melhores resultados apontam que o filtro que mantém a melhor dinâmica para o EPLL foi o filtro notch de segunda ordem. Embora o filtro passa-baixas IIR tenha atendido aos requisitos desejados (tempo de assentamento e distorção harmônica), a dinâmica do filtro notch se mostrou mais rápida e estável. Por isso, para esse modelo de PLL, o filtro notch se destacou.

As seções seguintes apresentam dois outros modelos de PLLs (*SOGI – PLL* e *APF – PLL*) com suas respectivas respostas aos mesmos filtros aplicados ao EPLL.

4 SOGI-PLL

4.1 Introdução ao SOGI-PLL

As estruturas de Integradores Generalizados de Segunda Ordem (*SOGI- Second Order Generalized Integrator*) integradas ao circuito PLL resulta no circuito de sincronismo conhecido por SOGI-PLL. Neste arranjo, a malha do SOGI é responsável pela geração do sinal auxiliar em quadratura com a componente fundamental do sinal de entrada.

A Figura 39 representa o circuito SOGI-PLL [26], onde K representa o ganho da malha do SOGI, $v_{in}(t)$ é o sinal de entrada, e $v_\alpha(t)$ e $v_\beta(t)$ são os sinais gerados pelo SOGI. O sinal $v_\alpha(t)$ está sincronizado com a componente fundamental do sinal de entrada, enquanto é possível assegurar que somente a componente fundamental de $v_\beta(t)$ está deslocada de 90 graus atrasado em relação a $v_\alpha(t)$. Além disso, as demais componentes harmônicas de v_β , provavelmente foram atenuadas. Com isso, o sinal v_β não pode ser considerado como sendo o sinal v_α deslocado de 90°

No entanto, inicialmente foi assumido que o sinal de entrada é composto somente pela componente fundamental de amplitude unitária, representado da seguinte forma:

$$v_{in}(t) = V \text{sen}(\omega_1 t) = \text{sen}(\omega_1 t) \quad (17)$$

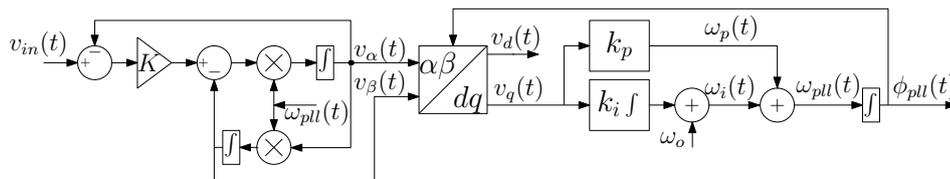


Figura 39 - Diagrama do SOGI-PLL

A partir da condição particular assumida para o sinal de entrada é possível afirmar que os sinais $v_\alpha(t)$ e $v_\beta(t)$, com o circuito SOGI-PLL operando em regime permanente, e o sinal w_{pll} sincronizado com a componente fundamental de $v_{in}(t)$, são dados por:

$$\begin{cases} v_\alpha(t) = V \sin(\omega_{pll} t) \approx V \sin(\omega_1 t) \\ v_\beta(t) = V \sin(\omega_{pll} t - \frac{\pi}{2}) \end{cases} \quad (18)$$

As funções de transferência em malha fechada do SOGI, referentes a $v_\alpha(t)$ e $v_\beta(t)$

são representadas pelas equações 19 e 20, respectivamente. Em seguida são explorados os modelos matemáticos do SOGI.

$$G_\alpha(s) = \frac{v_\alpha(s)}{v_{in}(s)} = \frac{K\omega_{pll}s}{s^2 + K\omega_{pll}s + \omega_{pll}^2} \quad (19)$$

$$G_\beta(s) = \frac{v_\beta(s)}{v_{in}(s)} = \frac{K\omega_{pll}^2}{s^2 + K\omega_{pll}s + \omega_{pll}^2} \quad (20)$$

4.2 Modelo matemático do SOGI-PLL

É comum que os sinais gerados pelo SOGI-PLL possuam amplitudes diferentes na presença de variações de frequência, ou mesmo não estejam em quadratura entre si, durante o tempo de acomodação, o que resulta em uma componente oscilante em 120 Hz nos sinais $v_d(t)$ e $v_q(t)$ mesmo com o sinal de entrada sem distorção.

O tempo que o sinal $v_q(t)$ leva para convergir durante o período do primeiro transitório, devido a variações de amplitude, fase ou frequência dependerá da dinâmica do SOGI, onde o fator K exerce influência. Neste sentido, são apresentadas em seguida as dinâmicas das funções $G_\alpha(s)$ e $G_\beta(s)$ com a aplicação de um degrau na entrada.

A análise do parâmetro K é inicialmente dada pelas equações 19 e 20, de onde é possível obter as equações diferenciais correspondentes, representadas pelas equações 21 e 22.

$$\frac{d^2v_\alpha}{dt^2} + K\omega_{pll}\frac{dv_\alpha}{dt} + \omega_{pll}^2v_\alpha(t) = K\omega_{pll}\frac{dv_g}{dt} \quad (21)$$

$$\frac{d^2v_\beta}{dt^2} + K\omega_{pll}\frac{dv_\beta}{dt} + \omega_{pll}^2v_\beta(t) = K\omega_{pll}^2v_g(t) \quad (22)$$

As equações 21 e 22 representam sistemas dinâmicos de segunda ordem, com raízes correspondentes a:

$$\begin{aligned} r_1 &= -\frac{K\omega_{pll}}{2} + \frac{j\omega_{pll}\sqrt{(4-K^2)}}{2} \\ r_2 &= -\frac{K\omega_{pll}}{2} - \frac{j\omega_{pll}\sqrt{(4-K^2)}}{2} \end{aligned} \quad (23)$$

A partir das raízes calculadas, é observado que para $K < 2$ os pólos são complexos conjugados com as funções $G_\alpha(s)$ e $G_\beta(s)$ subamortecidas. Por outro lado, para $K \leq 2$

os pólos do sistema são reais com a função criticamente amortecida ou superamortecida.

Assume-se, inicialmente, $v_\alpha(t) = 0$ e $v_\beta(t) = 0$, para $t \leq 0$. Ao integrar as equações 21 e 22 até o instante de tempo t , as equações 24 e 25 são obtidas.

$$\frac{dv_\alpha}{dt} + K\omega_{pll}v_\alpha(t) + \omega_{pll}^2 \int_0^t v_\alpha dt = K\omega_{pll}v_g(t) \quad (24)$$

$$\frac{dv_\beta}{dt} + K\omega_{pll}v_\beta(t) + \omega_{pll}^2 \int_0^t v_\beta dt = K\omega_{pll}^2 \int_0^t v_g(t) dt \quad (25)$$

Assim como foi feito em [55], o sinal $v_{in}(t)$, que corresponde ao sinal de referência do sistema, é representado por um degrau unitário a partir do instante $t = 0$, de modo que $v_{in}(0) = 1$. Nesse contexto, no instante $t = 0$, é possível determinar $v_\alpha(0)$ e $v_\beta(0)$, que são dados pelas equações 26 e 27.

$$\frac{dv_\alpha(0)}{dt} = K\omega_{pll} \quad (26)$$

$$\frac{dv_\beta(0)}{dt} = 0 \quad (27)$$

Como mencionado anteriormente, o parâmetro K pode assumir valores tais que as funções tenham características diferentes. Então a análise das funções de transferência de $v_\alpha(t)$ e $v_\beta(t)$ foi feita com o objetivo de identificar as equações características para cada sistema.

Em um sistema subamortecido, os pólos das funções de transferência são valores complexos conjugados [78]. Nesse tipo de sistema o parâmetro K assume valores para $K < 2$, e $v_\alpha(t)$ e $v_\beta(t)$ são dados por:

$$v_\alpha(t) = \frac{2K}{\sqrt{4 - K^2}} e^{-\frac{K\omega_{pll}t}{2}} \sin\left(\frac{\omega_{pll}\sqrt{4 - K^2}t}{2}\right) \quad (28)$$

$$v_\beta(t) = \frac{-2K}{\sqrt{4 - K^2}} e^{-\frac{K\omega_{pll}t}{2}} \left(\sin\left(\frac{\omega_{pll}\sqrt{4 - K^2}t}{2}\right) + \tan^{-1}\left(\frac{\sqrt{4 - K^2}}{2}\right) \right) + K \quad (29)$$

Para $K = 2$ o sistema torna-se criticamente amortecido. Após a análise das funções de transferência de $v_\alpha(t)$ e $v_\beta(t)$ identificou-se que suas equações características são dadas

pelas equações 30 e 31.

$$v_\alpha(t) = K\omega_{pll}te^{-\frac{\omega_{pll}Kt}{2}} \quad (30)$$

$$v_\beta(t) = Ke^{-\frac{\omega_{pll}Kt}{2}} \left[\frac{\omega_{pll}Kt}{2} - 1 \right] + K \quad (31)$$

Para a condição em que $K > 2$ o sistema pode ficar superamortecido, $v_\beta(t)$ são representados pelas equações 32 e 33.

$$v_\alpha(t) = \frac{K}{\sqrt{K^2 - 4}} \left[e^{-(K - \sqrt{K^2 - 4})\frac{\omega_{pll}t}{2}} - e^{-(K + \sqrt{K^2 - 4})\frac{\omega_{pll}t}{2}} \right] \quad (32)$$

$$v_\beta(t) = \frac{-K(K + \sqrt{K^2 - 4})}{2\sqrt{K^2 - 4}} \left[e^{-(K - \sqrt{K^2 - 4})\frac{\omega_{pll}t}{2}} \right] - \frac{K(-K + \sqrt{K^2 - 4})}{2\sqrt{K^2 - 4}} \left[e^{-(K + \sqrt{K^2 - 4})\frac{\omega_{pll}t}{2}} \right] + K \quad (33)$$

A Figura 40 mostra a resposta ao degrau para diferentes valores do parâmetro K para a função G_α . De acordo com o gráfico, o tempo de convergência mais rápido é de $\approx 20ms$, correspondente ao parâmetro $K = 1.5$. Apesar do sistema assumir características de um sistema subamortecido, nesta situação onde a malha analisada é simples, o sinal de saída possui pouca oscilação e apresenta uma rápida dinâmica. Por outro lado, quando o sistema assume a característica superamortecida, ele obtém o tempo de convergência mais longo, correspondente a ≈ 40 ms, com $K = 3$.

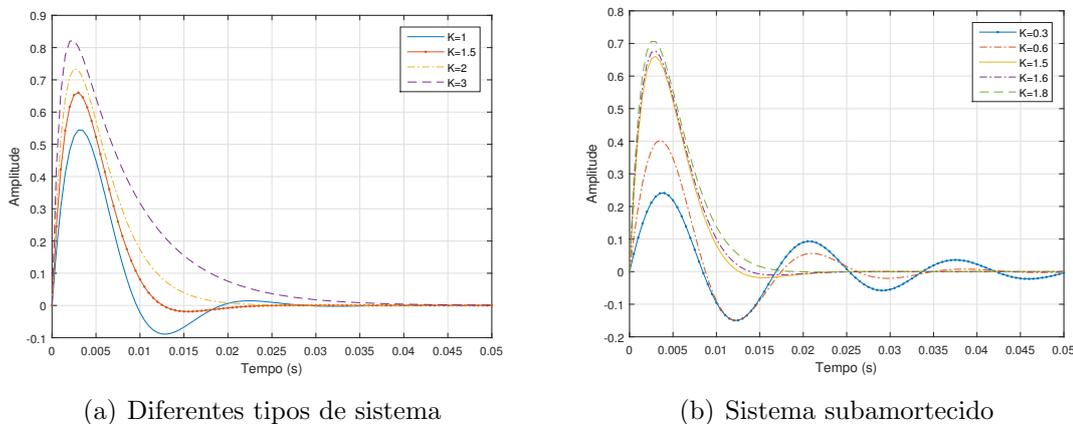


Figura 40 - Resposta ao degrau para $v_\alpha(t)$ em função de diferentes valores de K

A partir dos sinais $v_\alpha(t)$ e $v_\beta(t)$, $v_d(t)$ e $v_q(t)$ são gerados a partir da transformada de *Park*.

$$v_q(t) = \cos(\theta_e) \left[\omega_{pll} \cos(\omega_{pll}t) - \omega_{pll} e^{\left(\frac{-K\omega_{pll}t}{2}\right)} \left(\cosh(\omega_{pll}tK_1) - \frac{K \sinh(\omega_{pll}tK_1)}{2K_1} \right) \right] + \sin(\theta_e) \left[\omega_{pll} \sin(\omega_{pll}t) - \frac{\omega_{pll} e^{\left(\frac{-K\omega_{pll}t}{2}\right)} \sinh(\omega_{pll}tK_1)}{K_1} \right] \quad (34)$$

onde,

$$K_1 = \sqrt{\frac{K^2}{4} - 1} \quad (35)$$

Quando o sinal de saída do PLL atinge o regime estacionário, a função $v_q(t)$ tende a um valor, que é representado pela exponencial na equação 34. Sua constante de tempo τ_s é definida pelo valor de decaimento da exponencial da equação $v_q(t)$, que corresponde a $\tau_s = \frac{2}{K\omega_{pll}}$, no SOGI-PLL.

4.3 SOGI-PLL com Filtros Digitais

Assim como foi realizado na seção anterior, dois tipos de filtros foram inseridos na estrutura básica do SOGI-PLL. Como é exibido na Figura 41, eles estão posicionados na malha de erro da fase, no sinal $v_q(t)$.

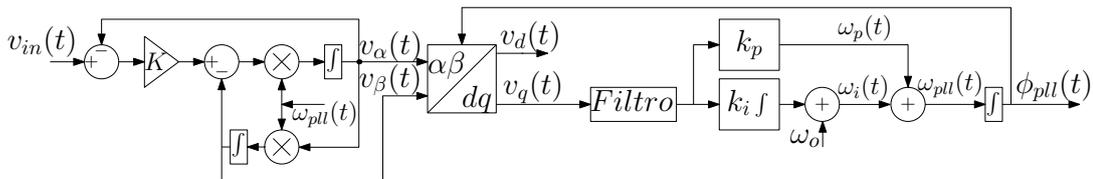


Figura 41 SOGI-PLL com inclusão do filtro digital.

Com o propósito de atenuar as oscilações harmônicas existentes na componente de 120 Hz do sinal de saída do PLL, dois tipos de filtros foram utilizados: filtro passa-baixas e filtro notch. O uso desses filtros busca avaliar qual deles possui o melhor desempenho associado ao SOGI-PLL, utilizando como parâmetros a dinâmica de convergência do PLL e sua distorção harmônica.

A fim de sintonizar os ganhos proporcional e integral, foi utilizado o mesmo processo de inspeção anteriormente usado para o EPLL. Os ganhos k_p e k_i foram utilizados

como parâmetros de entrada, enquanto o valor da distorção harmônica e o tempo de assentamento foram considerados saídas do sistema. Os parâmetros k_p e k_i foram variados dentro de uma faixa fixa de valores para gerar diferentes conjuntos de ganhos PI. Com cada conjunto individual de ganhos definido, seus tempos de convergência para o sinal de saída do SOGI-PLL e suas respectivas taxas de distorção harmônicas foram calculados. A partir do momento em que o valor do erro médio da malha de fase \bar{v}_q passa a ter o valor absoluto menor ou igual a 0,02 p.u de amplitude, e entende-se que o PLL opera em regime permanente. O tempo de assentamento corresponde ao instante inicial do período de regime permanente.

Ao final desse processo, foi gerada uma base de dados contendo todos os valores de entradas associados a todos os valores de saídas geradas pelo algoritmo. Como esse tipo de inspeção independe do modelo ser ou não linearizado, pode ser utilizado para sintonizar todos os modelos de PLLs usados nesse trabalho. Esse processo foi feito para duas situações: SOGI-PLL com filtro passa-baixas, e SOGI-PLL com filtro notch. Os resultados gerados são mostrados a seguir.

4.3.1 SOGI-PLL com filtro Notch de 2^a ordem

Foram usadas duas faixas de valores de ganhos para inspecionar os tempos de assentamento e THD do algoritmo SOGI-PLL com filtro notch. Os ganhos integral e proporcional foram variados nas faixas $5 < k_i < 1500$ e $5 < k_p < 500$, ambos com um passo de 10 unidades. Foi gerada uma base de dados contendo as informações dos conjuntos de ganhos k_i e k_p , associados ao tempo de assentamento calculado para cada um deles.

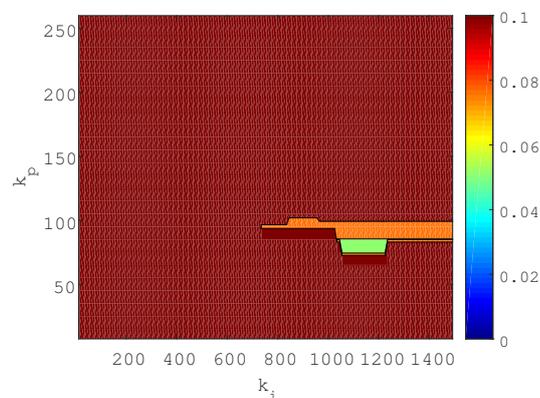


Figura 42 Superfície dos tempos de assentamento do erro da malha de fase

Como é observado na Figura 42, que fornece a região de contorno dos menores tempos de assentamento para o sinal de erro da fase, $v_q(t)$, a área onde os tempos de convergência são menores equivale a estreita faixa na cor verde. Na escala que varia entre 0 e 100 ms, essa região corresponde a um tempo entre 40 ms e 60 ms. Por ser pequena, essa faixa remete diretamente ao ganho proporcional dentro da faixa de $75 < k_p < 85$, e define possíveis valores para o ganho integral, que pode variar em $1050 < k_i < 1500$.

Na base de dados gerada foram eliminados todos os conjuntos de ganhos que apresentaram distorção harmônica acima de 2% e todos os valores de ganhos que forneceram tempos de convergência acima de 100 ms. Com isso, foi verificado que o menor tempo de assentamento se encontra em $k_p = 75$.

Com o parâmetro $k_p = 75$ definido, observa-se na Figura 43, que o parâmetro k_i exerceu pouca influência sobre a distorção harmônica, variando muito pouco em relação aos possíveis valores de k_i a serem escolhidos. Como todas as combinações fornecem um THD abaixo de 2%, o valor do ganho integral foi definido pelo menor valor de THD, dado por $k_i = 1225$.

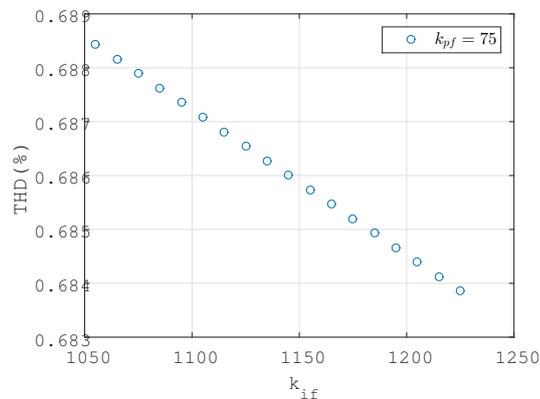
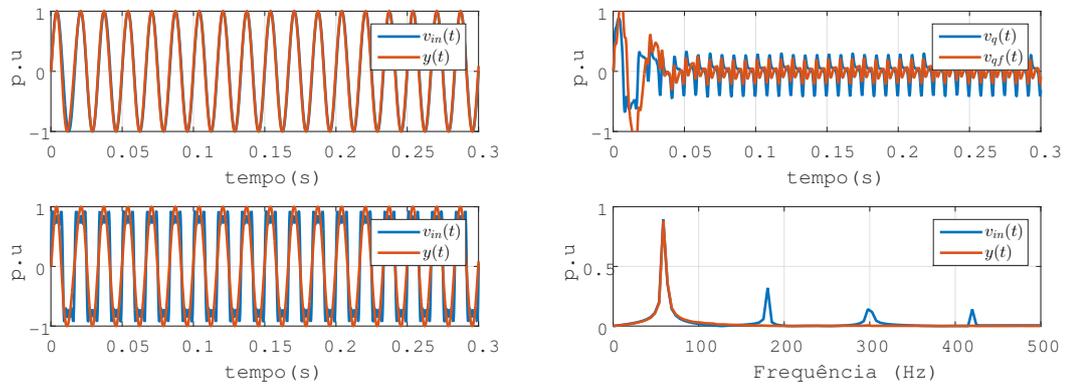


Figura 43 - Dispersão dos ganhos k_i em função dos valores de THD

A Figura 44 exibe os resultados de simulação de alguns parâmetros do SOGI-PLL, antes e após o filtro notch ser inserido no sinal $v_q(t)$, na malha de fase. A Figura 44(a) mostra o comportamento do sinal de saída com dois tipos de sinais de entrada: sem distorção harmônica e com distorção harmônica. A Figura 44(b) corresponde ao comportamento do sinal de erro da malha de fase, $v_q(t)$, gerado por um sinal de referência distorcido, antes e após ser filtrado.

Quando o sinal do erro da malha de fase foi filtrado, tanto a sua amplitude quanto suas oscilações foram reduzidas, constata-se que além da componente em 120 Hz ser

atenuada, também houve redução da distorção harmônica. A FFT na Figura 44(b) mostra o comportamento do sinal de saída do PLL antes e depois do erro ser filtrado. Com a filtragem do sinal, as componentes harmônicas de terceira, quinta e sétima harmônicas foram significativamente atenuadas.



(a) $v_{in}(t)$, e $y(t)$, de um sinal sem e com distorção harmônica (b) $v_q(t)$ versus $v_{qf}(t)$ e FFT, de um sinal com distorção harmônica

Figura 44 -Comportamento do sinal de saída, erro e FFT de um sinal com filtro.

A Tabela 13 resume os tempos de assentamento e a taxa de distorção harmônica para o sinal de saída do SOGI-PLL com e sem o uso do filtro notch, em duas situações: quando o sinal de entrada é distorcido, e quando não há distorções. Após aplicar o filtro, a distorção harmônica decaiu para abaixo do limite estipulado de 2%, e o tempo de convergência permaneceu o mesmo. Dentre as inspeções feitas considerando o sinal de referência distorcido, o menor tempo de assentamento foi obtido com os ganhos indicados na Tabela 13. Embora este conjunto de ganhos não tenha impactado na dinâmica de sincronismo, foi capaz de reduzir a distorção harmônica do sinal de saída, fazendo com que ela ficasse abaixo de 1%.

Tabela 13 - THD e tempo de convergência do SOGI-PLL com filtro notch

SOGI-PLL $k_i = 1225$ $k_p = 75$	Sem Filtro		Filtro Notch	
	T(s)	THD(%)	T(s)	THD(%)
Sinal sem distorções	0,1494	0,7170	0,1494	0,6493
Sinal distorcido	0,0664	1,6877	0,0664	0,6844

4.3.2 SOGI-PLL com filtro Passa-Baixa IIR de 2ª ordem

Para esta configuração, a inspeção pelos melhores ganhos em termos de tempos de assentamento e THD foi feita com um filtro passa-baixas com frequência de corte em 80Hz inserido na saída de $v_q(t)$. Os ganhos integral e proporcional tiveram suas faixas de valor definidas em $10 < k_i < 1000$ e $5 < k_p < 100$. Para o primeiro foi usado um passo de 20 unidades e para o segundo um passo de 10 unidades. A base de dados gerada com o FPB foi usada para definir os melhores ganhos para o controlador, e a superfície de contorno que representa a região que contém os menores tempos de convergência é mostrada na Figura 45.

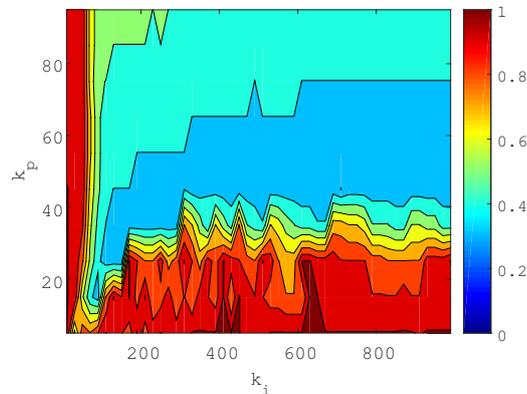


Figura 45 - Superfície dos tempos de assentamento do erro da malha de fase

A escala de tempo da Figura 45 varia entre 0 e 1 s, e a área representada pela variação mais escura da cor azul exibe a região de menores tempos de assentamento para o SOGI-PLL com filtro passa-baixas. Essa região compreende a variação do tempo de assentamento do sinal de saída do PLL de valores de $\approx 0,3$ s para $\approx 0,35$ s. De fato, de acordo com a base de dados gerada há poucos pontos cujo tempo de assentamento para o SOGI-PLL com filtro passa-baixas se encontram nessa faixa de valores. Para estes pontos, o ganho proporcional é equivalente a $k_p = 45$.

A Figura 46 exibe um gráfico de dispersão de k_i em função do tempo de assentamento. Assumindo as possíveis variações de k_i em conformidade com o valor de $k_p = 45$, os tempos de assentamento calculados são mostrados para cada um dos possíveis conjuntos de ganhos definidos. Visto que o menor tempo é de $\approx 0,3$ s, $k_i = 710$ foi definido como o valor do ganho integral.

A Figura 47 mostra o comportamento dos principais sinais analisados do SOGI-

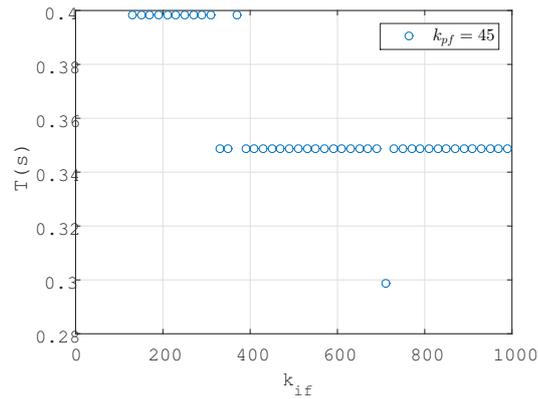
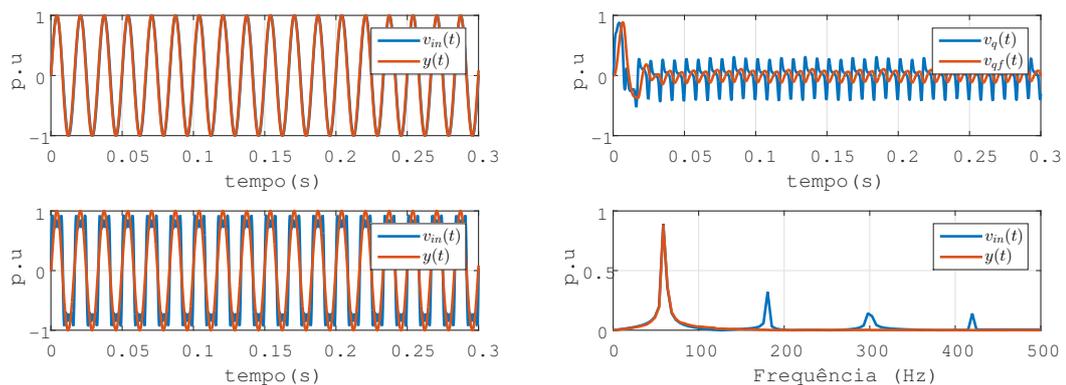


Figura 46 - Superfície de contorno para os ganhos do FFB

PLL: o tempo de sincronismo entre os sinais de entrada e saída do PLL, o sinal do erro antes e após a filtragem, e o espectro harmônico dos sinais de entrada e saída do PLL com o filtro. O último mostra que a filtragem eliminou a componente na segunda harmônica, e também, as componentes residuais na terceira, quinta e sétima harmônicas.



(a) $v_{in}(t)$ e $y(t)$, com sinais de referência sem e com distorção harmônica (b) $v_q(t)$, $v_{qf}(t)$ e FFT do sinal de saída, de um sinal de referência distorcido

Figura 47 -Comportamento dos sinais do SOGI-PLL com FFB.

Embora o filtro em $v_q(t)$ tenha colaborado para reduzir a amplitude do erro, não melhorou a dinâmica do PLL, fazendo com que ela permanecesse lenta. A Tabela 14 resume os tempos de assentamento do sinal de saída do SOGI-PLL com o uso do filtro passa baixas IIR de segunda ordem.

Tabela 14 - THD e Tempo de assentamento para o SOGI-PLL com FFB IIR de 2ª ordem

Tipo de filtro	Sem filtro		FPB IIR M=2	
	T(s)	THD(%)	T(s)	THD(%)
Sem distorção	0,2075	0,626	0,5561	0,6627
Com distorção	0,1494	1,2392	0,2988	0,7253

4.4 Resultados Experimentais

Esta seção apresenta os resultados experimentais referentes ao SOGI-PLL com o uso de um filtro digital do tipo notch. O sinal de entrada possui componentes harmônicas no terceiro, quinto e sétimo harmônicos além da fundamental, e foi gerado com uma frequência de amostragem em 20 kHz.

O comportamento dos sinais de entrada e saída do SOGI-PLL são mostrados na Figura 48. A Figura 48(a) representa o sinal de entrada e saída do SOGI-PLL com parte de sua distorção filtrada devido ao filtro do tipo RC usado para atenuar as componentes de alta frequência geradas pelo chaveamento do sinal de entrada.

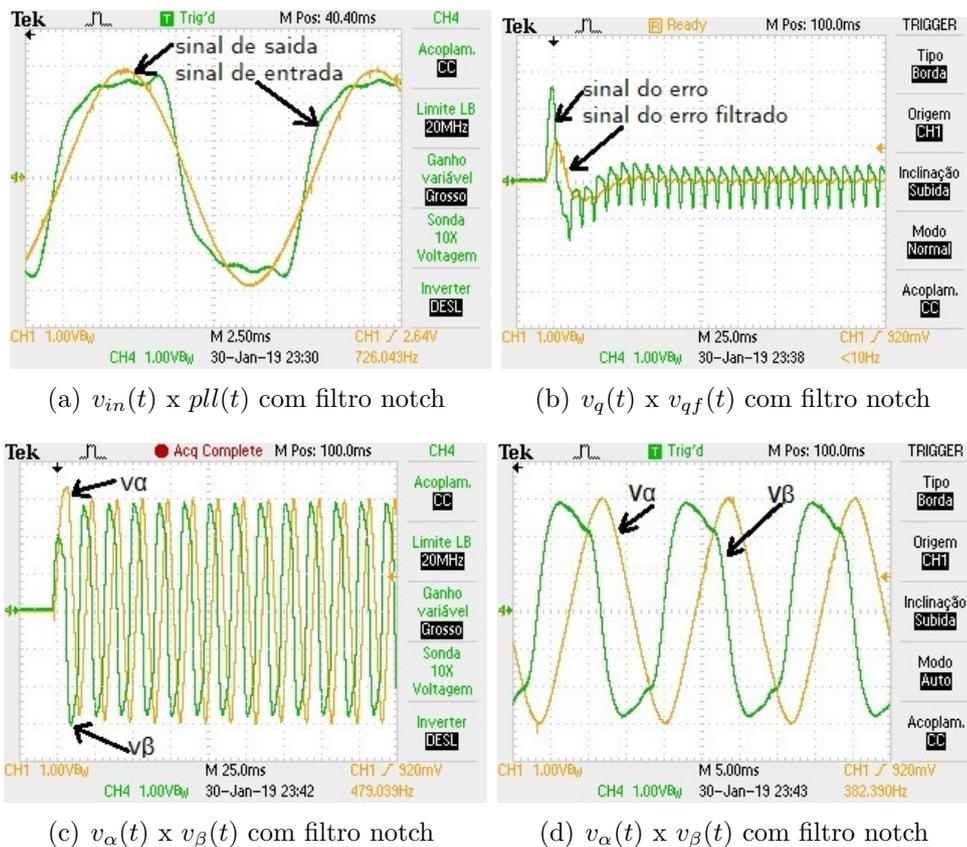


Figura 48 - Dinâmica do sinal com filtro notch. Os resultados foram obtidos com o eixo da abscissa apresentando 25 ms/div e o eixo da ordenada com 1 V/div

A Figura 48(c) mostra a Figura 48(d) em uma resolução maior. Ela representa o comportamento dos sinais $v_{\alpha}(t)$ e $v_{\beta}(t)$ antes de serem enviados à transformada de Park. Como é mostrado, $v_{\beta}(t)$ tem um atraso de 90 graus em relação a $v_{\alpha}(t)$, e esse último possui a mesma fase e magnitude da frequência fundamental do sinal de entrada.

A Figura 48(b) mostra o sinal de erro ($v_q(t)$) do PLL antes e após sua filtragem. Observe que no experimento esse sinal leva um pouco mais de 2 quadros para estabilizar. Cada quadro representa uma janela de tempo de 25 ms no eixo horizontal, com submúltiplas de 5 ms, então pode-se estimar um tempo de convergência de aproximadamente 60 ms para esse sinal.

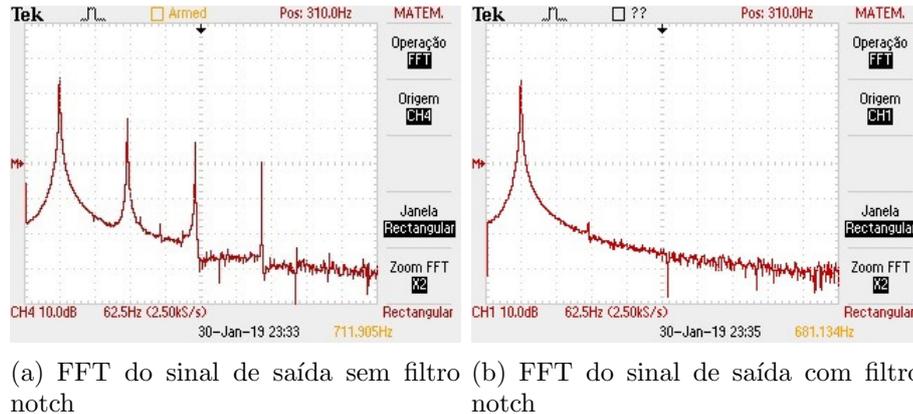


Figura 49 - Dinâmica do sinal com filtro notch. Os resultados foram obtidos com o eixo da abscissa apresentando 62,5 Hz/div e o eixo da ordenada com 10 dB/div

A FFT do sinal de saída mostra uma janela de 62,5 Hz no eixo horizontal e 10 dB no eixo vertical. Logo, é possível observar que houve atenuação total das componentes na quinta e sétima harmônicas, e na componente em 180 Hz houve um decaimento de 12 dB para -14 dB na amplitude do sinal, ou seja, ela foi significativamente atenuada.

4.5 Conclusões Parciais

Neste capítulo foram utilizados dois tipos de filtros digitais associados ao circuito SOGI-PLL: filtro notch e FPB IIR de 2ª ordem. Ambos tiveram o comportamento do sinal do erro da malha de fase, erro médio da malha de fase, distorção harmônica e a dinâmica do sinal de sincronismo do SOGI-PLL analisados, com o objetivo final de classificar qual modelo de SOGI-PLL (com filtro notch ou FBP) obteve a melhor dinâmica durante seu período transitório.

As características analisadas para avaliar o comportamento do SOGI-PLL foram a distorção harmônica abaixo de 2% e tempo de convergência menor do que 6 ciclos de onda. A Tabela 15 sumariza o resultado do comportamento do SOGI-PLL associado a cada um dos filtros utilizados. Ela mostra que para um sinal de entrada com distorções

harmônicas, o valor do THD se manteve abaixo de 2% nos dois casos, mas o tempo de convergência do SOGI-PLL com um FPB IIR de 2ª ordem é maior do que seu tempo de convergência com filtro notch, ultrapassando o valor de 100 ms estipulado como meta de convergência. Isso mostra que para o SOGI-PLL, a dinâmica do sistema se comporta melhor com o filtro notch de 2ª ordem.

Tabela 15 - Resumo dos Resultados obtidos para o SOGI-PLL com filtros digitais

Tipo de filtro	Filtro Notch		FPB IIR M=2	
	T(s)	THD(%)	T(s)	THD(%)
Sem distorção	0,1494	0,7170	0,5561	0,6627
Com distorção	0,0664	0,6844	0,2988	0,7253

A próxima seção apresenta o último tipo de circuito PLL a ser estudado: o APF-PLL. Ela descreve o seu funcionamento, modelo matemático e suas respostas aos filtros aplicados.

5 APF-PLL

5.1 Introdução ao APF-PLL

O terceiro modelo de PLL analisado é o APF-PLL. Ele foi proposto para reduzir a complexidade da implementação do SOGI-PLL, substituindo a estrutura SOGI convencional por uma estrutura mais simples para gerar o sinal auxiliar em quadratura.

A estrutura do APF-PLL é mostrada na Figura 50. Essencialmente, toda a estrutura a partir da transformada de Park, até o sinal de saída, $\phi_{pll}(t)$, é a mesma observada no SOGI-PLL.

A Figura 50 mostra a estrutura do circuito de sincronismo PLL com o filtro passa-tudo incluso. Tal como observado, o deslocamento da fase do sinal auxiliar de quadratura ajustado dinamicamente em função da frequência angular (ω_{pll}). Deste modo, o sinal $v_\beta(t)$ encontra-se em quadratura com o sinal de entrada a partir do instante em que ω_{pll} estiver estabilizado na frequência angular da componente fundamental do sinal de entrada.

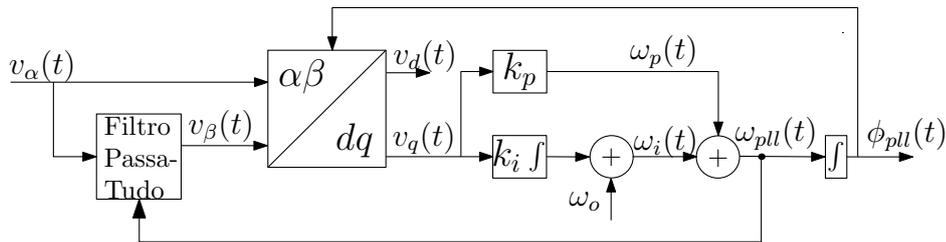


Figura 50 - PLL com o filtro passa-tudo

5.2 Análise matemática do APF-PLL

O filtro passa-tudo é comumente utilizado em processamento de sinais, e sua principal característica é manter todas as componentes de frequência do sinal de entrada sem atenuação e, ao mesmo tempo, deslocar a fase do sinal de saída em função da frequência base do sinal de entrada. Deste modo, considerando que o sinal de entrada não esteja distorcido, com o filtro sintonizado na frequência fundamental, o sinal de saída estará em quadratura em relação ao sinal de entrada. No entanto, se o sinal de entrada estiver distorcido, com o filtro passa-tudo sintonizado na frequência fundamental, somente a componente fundamental do sinal de saída estará deslocada de 90° com as demais com-

ponentes harmônicas apresentando diferentes ângulos de fase.

A Figura 51 mostra a estrutura do circuito que representa o filtro passa-tudo em função de um amplificador operacional (amp-op). O deslocador de tensão usa um filtro passa-baixas de 1ª ordem para realizar o deslocamento de fase e uma realimentação negativa para compensar o ganho não unitário [79]. O nó A representado por A representa o filtro passa- baixas de primeira ordem com função de transferência representada por H_{FPB} dada pela equação 36. Como o amp-op tem realimentação negativa a tensão no nó B é igual a tensão no nó A , e a corrente no nó B é dada pela equação 37.

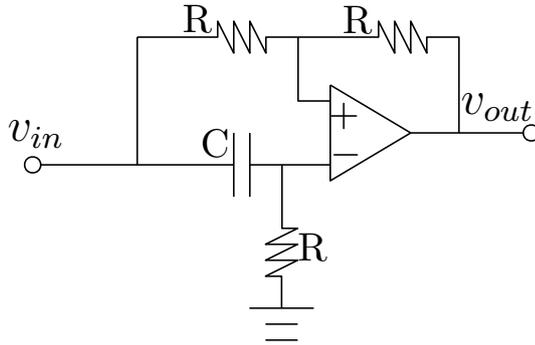


Figura 51 - Esquema em amp-op de um filtro passa-tudo

$$H_{FPB}(s) \approx \frac{1}{RCs + 1} s + \frac{1}{RC} \quad (36)$$

$$\frac{v_{in}(s) - V_A(s)}{R_F} = \frac{v_{in}(s) - v_{in}(s)H_{FPB}(s)}{R_F} \quad (37)$$

A corrente do nó A não passa através do amp-op, mas sim pela da realimentação da resistência $R - F$ e então vai para a saída do circuito, v_{out} . Então, a tensão de saída no nó C é dada pela equação 38, que para uma tensão de entrada $v_{in}(s) = 1$ representa a função de transferência do filtro passa-tudo, dada pela equação 39. Esta função de transferência possui um pólo em $\frac{-1}{RC}$ e um zero em $\frac{1}{RC}$, cuja magnitude e fase de $G(j\omega)$ para a frequência angular ω são $|G(j\omega)|$ e $\angle G(j\omega)$, e são dadas respectivamente, pelas equações representadas na equação 40.

$$\frac{V_B(s) - I_B(s)}{R_F} = v_{in}(s)H_{FPB}(s) - \frac{v_{in}(s) - V_{in}(s)H_{FPB}(s)}{R_F} \quad (38)$$

$$G(s) = \frac{s - \frac{1}{RC}}{s + \frac{1}{RC}} \quad (39)$$

onde,

$$\begin{aligned} |G(j\omega)| &= 1 \\ \angle G(j\omega) &= \arctan(-RC\omega) - \arctan(RC\omega) \end{aligned} \quad (40)$$

O filtro tem magnitude de ganho unitário para todos as frequências angulares ω , e introduz um atraso diferente em cada uma delas, atingindo quadratura da entrada para saída em $\omega = \frac{1}{RC}$, quando a mudança de fase é de 90° .

Considerando $RC = \frac{T}{2}$, onde T é o atraso em segundos, a função de transferência do filtro passa-tudo pode ser aproximada através da aproximação de Padé [80], que é dada por:

$$e^{-sT} = \frac{e^{-\frac{sT}{2}}}{e^{\frac{sT}{2}}} \approx \frac{1 - \frac{sT}{2}}{1 + \frac{sT}{2}} \quad (41)$$

A Figura 52 mostra o diagrama em blocos do filtro passa-tudo utilizado na entrada do APF-PLL. A frequência estimada do filtro é representada por ω_{pll} .

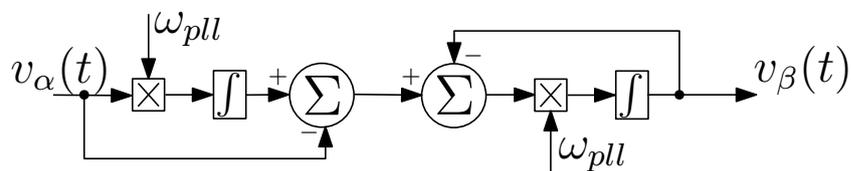


Figura 52 - Diagrama em blocos do Filtro passa-tudo [2]

Considerando a função de entrada, $v_{in}(s)$, uma função degrau, as funções de transferência, em malha fechada, de $v_\alpha(s)$ e $v_\beta(s)$ são dadas pelas equações 42 e 43, que ao passar pela transformada de Park geram os sinais $v_d(t)$ e $v_q(t)$. Este último representa o erro da malha de fase, e pode ser representado pela equação 44.

$$G_\alpha(s) = \frac{v_\alpha(s)}{v_{in}(s)} = 1 \quad (42)$$

$$G_\beta(s) = \frac{v_\beta(s)}{v_{in}(s)} = \frac{s - \omega}{s + \omega} \quad (43)$$

$$v_q(t) = \sin(\theta_e)(\cos(\omega t) - e^{(-\omega t)}) + \sin(\omega t) \cos(\theta_e) \quad (44)$$

Quando o circuito de sincronismo encontra-se em estado estacionário, o sinal $v_q(t)$ tende a um valor constante, dado pela exponencial representada na equação 44. A constante de tempo τ_s é definida pelo valor de decaimento da exponencial da equação de $v_q(t)$. No caso do APF-PLL, ela corresponde a $\tau_s = \frac{1}{\omega}$.

5.3 APF-PLL com Filtro Digital

Com o objetivo de atenuar as oscilações existentes na componente da segunda harmônica do sinal de saída, foram inseridos dois tipos de filtro na estrutura básica do APF-PLL: o filtro notch de 2ª ordem e FPB IIR de 2ª ordem.

Conforme mostra a Figura 53, assim como foi feito para o modelo do SOGI-PLL, os filtros foram inseridos no sinal do erro da malha de fase, $v_q(t)$. O propósito da filtragem é comparar o comportamento dos filtros e identificar aquele que possui o melhor desempenho considerando a distorção harmônica do sinal de saída do PLL e sua dinâmica de convergência.

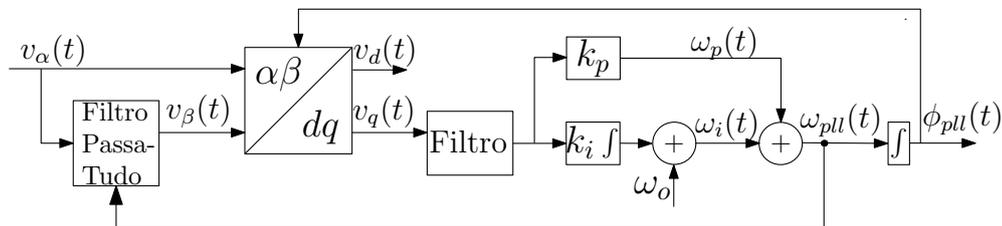


Figura 53 APF-PLL com filtro inserido na malha

Para sintonizar o controlador PI do APF-PLL, foi feita uma inspeção dos melhores ganhos em torno dos tempos de convergência e THDs para o APF-PLL. Foram testados diversos conjuntos de valores relativos aos ganhos integral, k_i , e proporcional, k_p . Essa operação teve a finalidade de sintonizar o modelo alcançando uma distorção harmônica abaixo de 2%, mantendo uma rápida dinâmica do sinal de saída ao decorrer do primeiro transitório.

Durante o processo, o valor da componente média do erro da malha de fase, $\bar{v}_q(t)$, foi usado como o indicador de que o sinal de saída do PLL atingiu ou não o regime permanente. Quando $\bar{v}_q(t)$ atinge a faixa de $\pm 0,02$ p.u de amplitude, e oscila somente

dentro destes limites inferior e superior, significa que o sinal de saída do PLL passa a estar em regime permanente.

Foram geradas duas base de dados (uma para o APF-PLL com FPB IIR de 2ª ordem e outra para o APF-PLL com filtro notch) contendo os parâmetros de entrada (k_i e k_p) e saída (THD e tempo de convergência do sinal de saída) calculados. Posteriormente esses dados foram analisados em função das condições de saída desejadas e os melhores ganhos foram escolhidos.

5.3.1 APF-PLL com filtro Notch de 2ª ordem

Os ganhos k_i e k_p foram usados como entradas para gerar uma superfície de contorno representando a região onde os menores tempos de assentamento para o APF-PLL se concentram. O ganho integral foi variado dentro da faixa de valores de $5 < k_i < 500$ e o ganho proporcional assumiu valores em que $5 < k_p < 100$. Ambos com um passo de 10 unidades.

Em uma escala de cores variando entre 0 e 100 ms, a Figura 54 exibe a superfície de contorno que representa os tempos de assentamento para $v_q(t)$. Esse tempo é caracterizado pela região na cor verde, cuja área é delimitada pelos valores de $35 < k_p < 85$, podendo assumir qualquer valor de k_i que produza distorção harmônica abaixo de 2%.

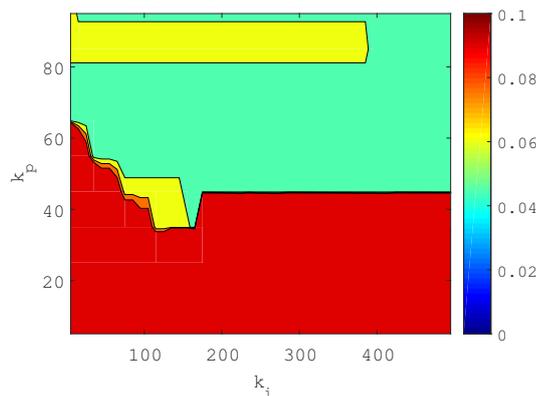


Figura 54 Superfície dos tempos de assentamento do erro da malha de fase

Eliminando-se os valores de ganhos que resultaram em um tempo de assentamento maior do que 6 ciclos de onda, e distorção harmônica acima de 2%, verificou-se que o menor tempo de assentamento para o APF-PLL com filtro notch foi de 50 ms. Pode ser observado que todos os valores de ganhos que fornecem este tempo estão dentro da

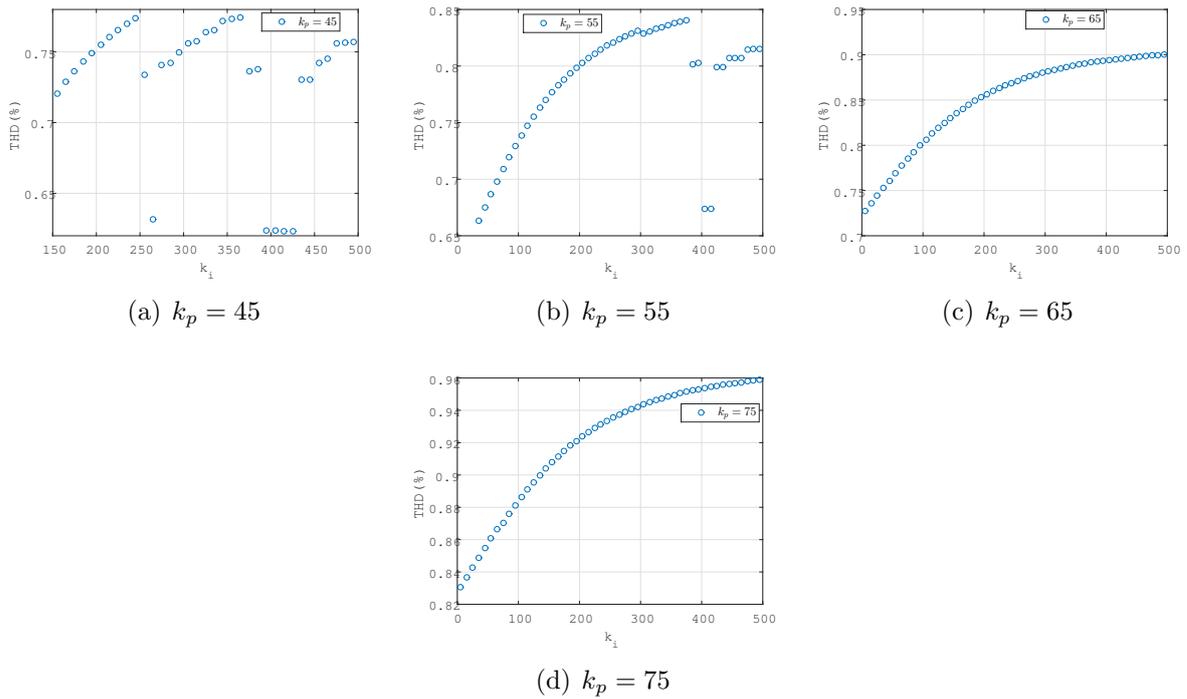


Figura 55 - Dispersão dos valores do THD em função de k_p

faixa de $35 < k_p < 85$, e possuem distorção harmônica abaixo de 2%. Para fins práticos, alguns gráficos de dispersão foram produzidos com o valor do ganho proporcional fixado em: $k_p = 45$, $k_p = 55$, $k_p = 65$ e $k_p = 75$, com o propósito de mostrar a influência do ganho integral na distorção harmônica.

Como é observado na Figura 55, à medida que k_p aumenta, o valor da distorção harmônica também aumenta. Desta forma, os valores de ganhos escolhidos para sintonizar o APF-PLL com filtro notch foram $k_p = 45$ e $k_i = 425$, pois produzem a menor distorção harmônica na saída do PLL dentre os valores analisados.

Com o valor do controlador PI definido em $k_p = 45$ e $k_i = 425$, o comportamento do APF-PLL com filtro notch é exibido na Figura 56. A Figura 56(a) mostra os sinais de entrada e saída do PLL, e a atenuação sofrida pelo sinal do erro após a inserção do filtro na malha de erro do APF-PLL. Esta última mostra que o erro do PLL teve suas oscilações reduzidas e amplitude atenuada a metade, confirmado pela Figura 56 que a harmônica em 120 Hz foi filtrada.

A Tabela 16 resume os tempos de convergência obtidos para as situações em que o sinal de entrada possui, ou não, distorção harmônica, a evolução na dinâmica do PLL após a filtragem do sinal $v_q(t)$, e também a melhora na distorção harmônica do sinal de

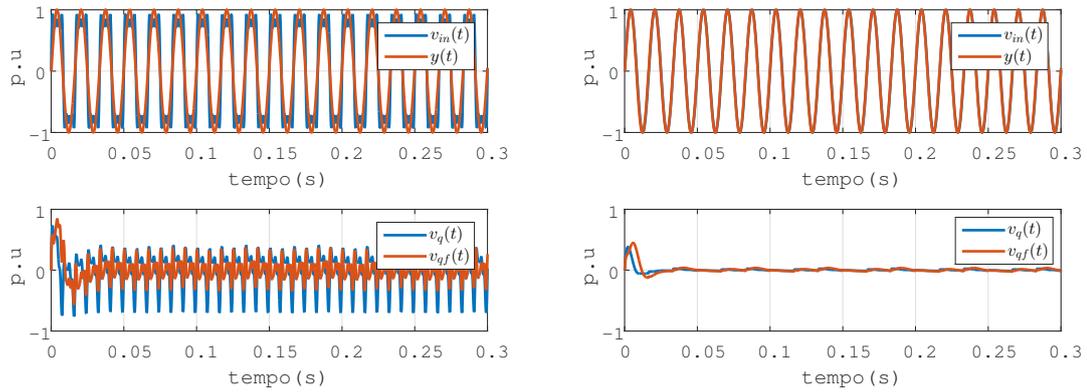
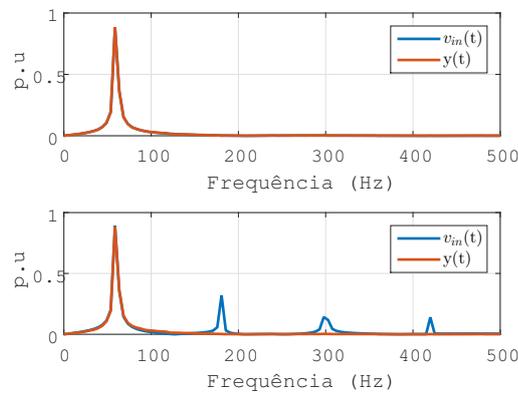
(a) Com $v_{in}(t)$ distorcido(b) Com $v_{in}(t)$ sem distorção harmônica(c) FFT de $y(t)$ para um sinal sem distorção e com distorção harmônica

Figura 56 - Comportamento do APF-PLL com filtro notch

saída do APF-PLL.

Os ganhos escolhidos influenciaram a dinâmica do PLL de tal forma que para um sinal de entrada com distorção harmônica, após filtragem do sinal $v_q(t)$, houve atenuação da distorção harmônica e melhora da dinâmica do PLL. Para o sinal sem distorção harmônica, o conjunto de ganhos utilizado não favoreceu o desempenho do PLL, fazendo com que a dinâmica se tornasse mais lenta e a distorção harmônica aumentasse. Isso se deve ao fato da sintonia dos ganhos do controlador ter sido feita considerando o sinal de referência com distorção harmônica, e esse ganhos não necessariamente serão os melhores para um sinal de referência sem distorção.

Tabela 16 - THD e tempo de convergência para o APF-PLL com filtro notch

Filtro	Sem filtro		Filtro Notch	
Parâmetro	T fase(s)	THD(%)	T fase(s)	THD(%)
Sinal sem distorção	0,0664	0,6471	0,498	0,6934
Sinal distorcido	0,3652	1,441	0,0499	0,6232

5.3.2 APF-PLL com filtro Passa-Baixa IIR de 2ª ordem

Inspecionou-se os ganhos de menor tempo de convergência e THD para o APF-PLL com FPB e frequência de corte em 80 Hz. Os ganhos proporcional e integral foram variados dentro das faixas de valores de $5 < k_i < 500$ e $5 < k_p < 100$, com um passo de 10 unidades cada um. Nestas condições foi gerada uma base de dados que deu origem a superfície de contorno da Figura 57.

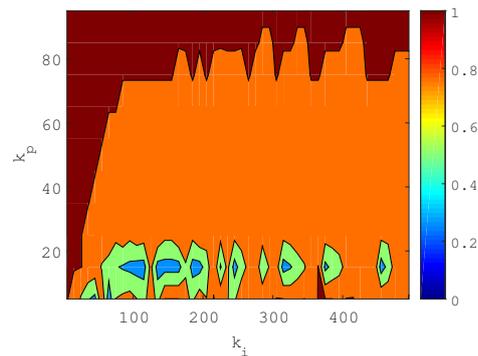


Figura 57 Superfície dos tempos de assentamento do erro da malha de fase

Em uma escala representada por cores, que varia entre 0 a 1 s, a região onde se concentram os menores tempos de assentamento para o PLL é representada pela cor azul. Essa área indica que os tempos de assentamento variam entre 0,25 s e 0,4 s. E o ganho proporcional equivalente a essa região varia entre $5 < k_p < 20$.

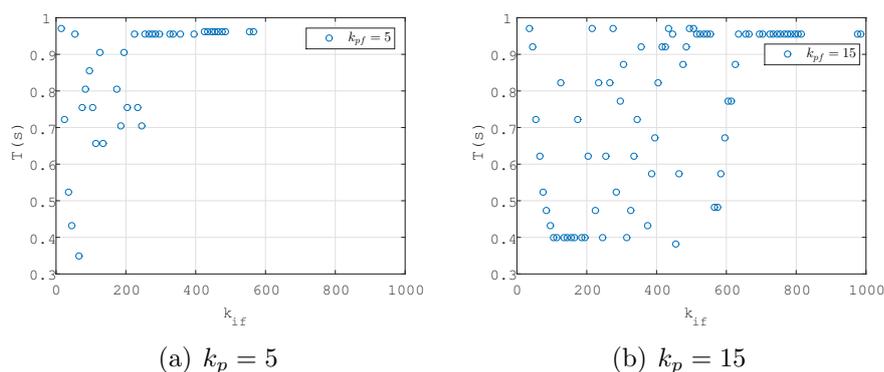


Figura 58 - Ganhos *versus* tempos de convergência

Visto que k_p assume uma faixa estreita de valores, com o auxílio da base de dados, foi gerado um gráfico de dispersão fixando $k_p = 5$ e $k_p = 15$ e variando o valor de k_i em função dos tempos de assentamento atingidos pelo PLL com esses determinados conjuntos

de ganhos.

A Figura 58 mostra a relação entre os conjuntos de ganhos escolhidos e seus respectivos tempos de convergência. Para a faixa de valores inspecionada, em função do passo de cálculo usado, apenas um valor de ganhos proporcionou o menor tempo de convergência para o PLL, que é de 0,3486 s quando $k_p = 5$ e $k_i = 65$. No entanto, apesar desse conjunto de ganhos ter uma distorção harmônica abaixo de 2%, o tempo de convergência ultrapassou os 6 ciclos de ondas desejados.

O comportamento do APF-PLL com filtro passa-baixas para um sinal de entrada sem distorção harmônica e distorcido pela 3ª, 5ª e 7ª harmônicas é exibido na Figura 59. Além de mostrar o comportamento do sinal de saída ao sincronizar com o de entrada, também mostra o comportamento do erro da malha de fase antes e após ser filtrado, mostrando que houve uma redução significativa da amplitude do sinal e a componente da segunda harmônica foi totalmente atenuada.

A Tabela 17 resume os parâmetros referentes ao comportamento do APF-PLL. Os valores dos ganhos em que o PLL foi sintonizado favoreceu o controlador de forma que a distorção harmônica do APF-PLL tenha sido baixa tanto para o PLL filtrado, quanto para ele sem filtro. Independentemente do sinal ter ou não distorção harmônica.

Para o sinal com distorção harmônica, o FPB melhorou a dinâmica de sincronismo fazendo com que o APF-PLL convergisse mais rápido do que sem filtro, além de reduzir ainda mais a distorção harmônica que já era baixa. Apesar do APF-PLL possuir THD baixo, a dinâmica do PLL se mostrou lenta quando usado com FPB IIR de 2ª ordem, e não atingiu o requisito estipulado de convergência abaixo de 6 ciclos de onda.

Tabela 17 - THD e Tempo de assentamento para o FPB IIR de 2ª ordem

Filtro	Sem filtro		FPB IIR M=2	
	T.fase(s)	THD(%)	T.fase(s)	THD(%)
Sinal sem distorção	0,851	0,6087	0,8549	0,6104
Sinal distorcido	0,9047	0,9474	0,3486	0,6634

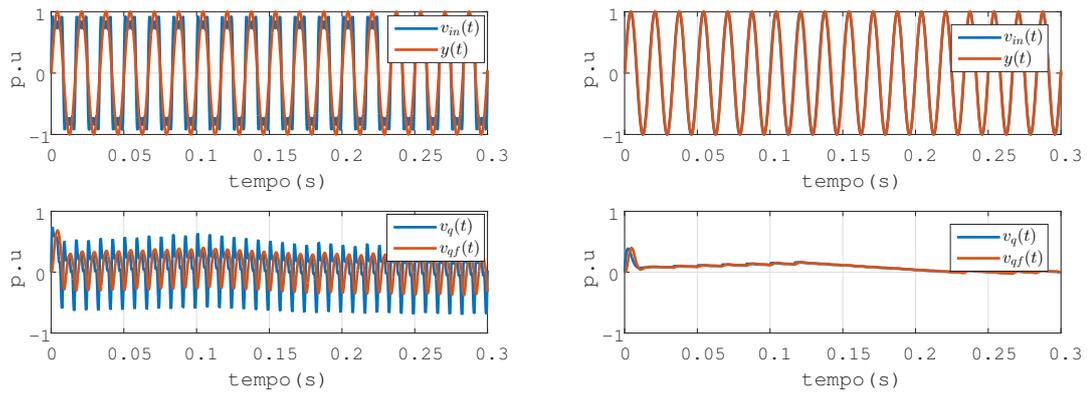
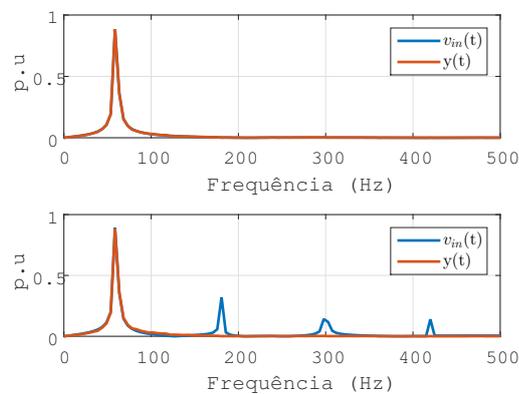
(a) Com $v_{in}(t)$ distorcido(b) Com $v_{in}(t)$ sem distorção harmônica(c) FFT de $y(t)$ para um sinal sem distorção e com distorção harmônica

Figura 59 - Comportamento dos sinais do APF-PLL quando não há e quando há distorção harmônica no sinal de entrada.

5.4 Resultados Experimentais

Embora as simulações tenham sido feitas tanto para o APF-PLL com filtro notch quanto para o filtro passa-baixas, o experimento foi realizado apenas com o modelo que obteve melhor dinâmica, ou seja, com o filtro notch, nas mesmas condições dos modelos de PLLs anteriores (usando o controlador *DSP 28335*, com frequência de amostragem de 40 kHz e filtro RC para atenuar a componente de alta frequência). Os resultados obtidos para o APF-PLL com filtro notch são exibidos na Figura 60.

A Figura 60(b) mostra o sinal de erro do PLL amostrado a 25 ms no eixo horizontal. Como é observado, o sinal de erro filtrado leva aproximadamente 2,5 quadros para estabilizar, ou seja, 50 ms. Esse tempo reflete o tempo de sincronismo entre o sinal de saída do PLL e o sinal de entrada, que nesse caso é distorcido com as componentes no 3º,

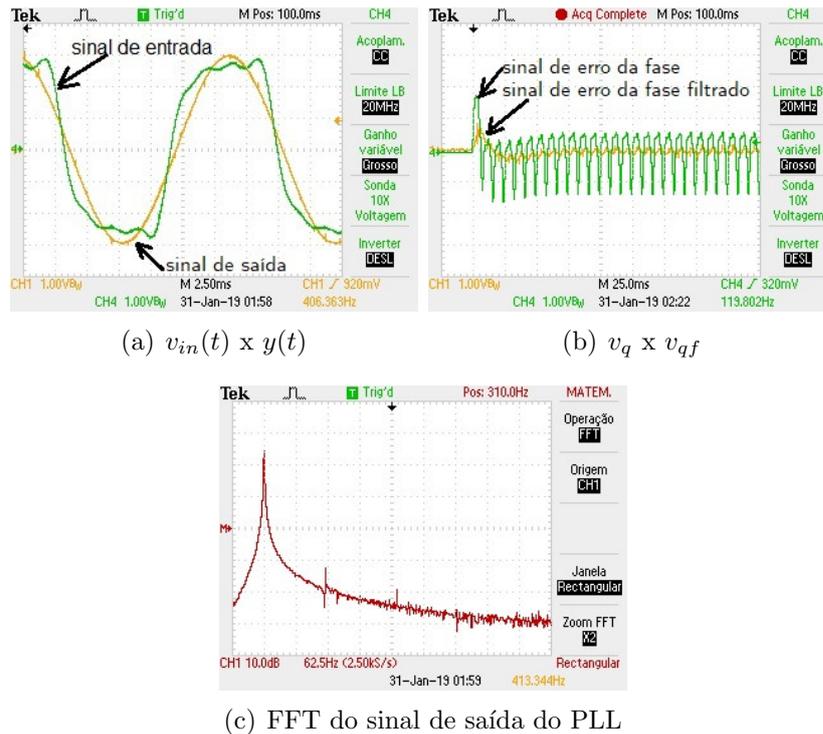


Figura 60 - Resultados experimentais para o APF-PLL com filtro notch. Os resultados foram obtidos com o eixo da abscissa apresentando 25 ms/div e o eixo da ordenada com 1 V/div para o sinal do erro, e com o eixo da abscissa apresentando 62,5 Hz/div e o eixo da ordenada com 10 dB/div para a FFT

5^o e 7^o harmônicas além da fundamental.

Um outro ponto a ser observado foi a atenuação provocada nessas harmônicas devido ao uso do filtro notch com frequência de rejeição em 120 Hz. Isso pode ser observado no espectro harmônico da Figura 60(c), onde cada quadro corresponde a 62,5 Hz no eixo horizontal e 10 dB no eixo vertical, exibindo uma amplitude de -12 dB para a terceira harmônica, e de -20 dB para a quinta harmônica, mostrando que a componente na sétima harmônica foi significativamente atenuada.

5.5 Conclusões Parciais

O cálculo do tempo de convergência foi realizado com uma janela deslizante de 8,3 ms, correspondente a metade do ciclo da componente fundamental do sinal de entrada. Devido a esse tempo, pode haver uma diferença de 8,3 ms entre os cálculo de tempo realizados durante a simulação computacional e os resultados experimentais. Essa diferença foi observada no APF-PLL com filtro notch. Enquanto na simulação computacional o

tempo de convergência foi atingido no tempo de ≈ 60 ms, no experimento esse tempo foi de ≈ 50 ms, o que corresponde a uma diferença de 10 ms.

Tabela 18 - Sumário de Resultados para o APF-PLL

Filtro	FPB IIR de 2 ^a ordem		Filtro Notch	
Parâmetro	T_fase(s)	THD(%)	T_fase(s)	THD(%)
Sinal sem distorção	0,8549	0,6104	0,498	0,6934
Sinal distorcido	0,3486	0,6634	0,0499	0,6232

Ao comparar a dinâmica dos dois filtros (passa-baixas IIR de segunda ordem e o filtro notch) foi observado que embora ambas as dinâmicas tenham ficado mais rápidas após o uso dos filtros, o APF-PLL com filtro notch respondeu melhor se encaixando dentro dos critérios desejados (distorção harmônica abaixo de 2% e convergência do sinal de saída em menos de 6 ciclos). A Tabela 18 resume os resultados obtidos para os dois filtros aplicados ao PLL, confirmando o melhor desempenho do APF-PLL com o filtro notch.

CONCLUSÃO

O presente trabalho explorou o desempenho de três diferentes tipos de PLLs monofásicos com sinal auxiliar em quadratura: EPLL, SOGI-PLL e APF-PLL. Devido à presença de componentes oscilantes nos sinais internos dos PLL, todos possuem características não-lineares. Para cada estrutura de PLL foram apresentados fundamentos teóricos, assim como a análise dos resultados obtidos em simulação computacional e experimental com o uso de filtros passa-baixas e notch.

Nos três modelos de PLL o filtro notch de 2ª ordem com frequência de rejeição em 120 Hz obteve a melhor resposta. Tanto na qualidade da filtragem, quanto na robustez em manter a detecção do ângulo de fase sem desvios de fase aparentes quando há a presença de harmônicas. Além disso, assim como é observado na Tabela 19, todos os PLLs tiveram dinâmicas rápidas, atingindo o regime permanente próximo ao terceiro ciclo de onda com o uso do filtro notch, destacando-se o EPLL e o APF-PLL.

Tabela 19 Resumo dos tempos de convergência e THD dos QSG-PLLs com filtro que obtiveram melhor dinâmica.

PLL	EPLL			SOGI-PLL		APF-PLL	
Filtro	Notch			Notch		Notch	
Parâmetro	T_{fase}	T_{amp}	THD(%)	T_{fase}	THD(%)	T_{fase}	THD(%)
Sinal com harmônicas (Simulação)	41,6 ms	49,9 ms	1,687	66,4 ms	0,6844	49,8 ms	0,6934
Sinal com harmônicas (Experimental)	30 ms	49,9 ms	1,687	62 ms	0,6844	50 ms	0,6934

Embora os três PLLs tenham atingido o regime permanente em instantes similares, suas distorções harmônicas foram diferentes. Nesse quesito, o SOGI-PLL e o APF-PLL, apresentam praticamente o mesmo valor, ficando abaixo de 1%, metade da meta de 2% estipulada no trabalho, enquanto o EPLL obteve distorção harmônica de 1,69%. Visto que as menores distorções harmônicas foram geradas pelo APF-PLL e SOGI-PLL, a amplitude final do erro de fase de cada estrutura também foi analisada, e o SOGI-PLL obteve menor amplitude do sinal de erro do que o APF-PLL.

Outro ponto a ser considerado, é o parâmetro K da malha do SOGI, que influencia a dinâmica geral do SOGI-PLL. Se por um lado reduz a amplitude do sinal de erro $v_q(t)$ quando assume valores para os quais o SOGI adquire característica subamortecida, por outro torna a dinâmica de convergência do PLL mais lenta. Em contrapartida, para um sistema superamortecido, o parâmetro K faz com que a amplitude do sinal de erro seja maior. No entanto, devido à sua característica pouco oscilatória, o SOGI-PLL con-

verge mais rapidamente quando o sistema é superamortecido, mantendo sua distorção harmônica abaixo do valor estipulado (de 2% para este trabalho).

As simulações apresentaram resultados consistentes em relação à validação dos algoritmos de controle, concluindo que entre as três estruturas de PLLs estudadas o APF-PLL teve melhor dinâmica geral. No entanto, algumas questões podem ser exploradas com maior profundidade visando expandir o estudo desse trabalho, tais como:

- Considerar modelos que possuam transitórios causados por desvios de fase ou frequência;
- Avaliar outras estruturas de PLLs existentes a fim de obter um melhor desempenho para o período transitório inicial;
- Obter modelos linearizados de PLLs a fim de usar técnicas de controle linear para a sintonia dos controladores no domínio da frequência;
- Utilizar outros tipos de filtros nas malhas de controle dos PLLs e avaliar suas dinâmicas;
- Implementar novas malhas de controle nos PLLs e avaliar suas respostas.

REFERÊNCIAS

- [1] BEST, R. E. *Phase-Locked Loops: Design, Simulation and Application*. 6th edn.. ed. [S.l.]: New York:McGraw-Hill, 1997.
- [2] THACKER, T. et al. Phase-locked loops using state variable feedback for single-phase converter systems. In: *2009 Twenty-Fourth Annual IEEE Applied Power Electronics Conference and Exposition*. [S.l.: s.n.], 2009. p. 864–870. ISSN 1048-2334.
- [3] THACKER, T. et al. Phase-locked loop noise reduction via phase detector implementation for single-phase systems. *IEEE Transactions on Industrial Electronics*, IEEE, v. 58, n. 6, p. 2482–2490, 2011.
- [4] WEI, M.; CHEN, Z. A fast pll method for power electronic systems connected to distorted grids. In: IEEE. *IECON 2007-33rd Annual Conference of the IEEE Industrial Electronics Society*. [S.l.], 2007. p. 1702–1707.
- [5] SHINNAKA, S. A robust single-phase pll system with stable and fast tracking. *IEEE Transactions on Industry Applications*, IEEE, v. 44, n. 2, p. 624–633, 2008.
- [6] FREIJEDO, F. D. et al. Tuning of phase-locked loops for power converters under distorted utility conditions. *IEEE Transactions on Industry Applications*, IEEE, v. 45, n. 6, p. 2039–2047, 2009.
- [7] CARNEIRO, H.; MONTEIRO, L. F.; AFONSO, J. L. Comparisons between synchronizing circuits to control algorithms for single-phase active converters. In: IEEE. *2009 35th Annual Conference of IEEE Industrial Electronics*. [S.l.], 2009. p. 3229–3234.
- [8] KARIMI-GHARTEMANI, M.; KARIMI, H.; IRAVANI, M. R. A magnitude/phase-locked loop system based on estimation of frequency and in-phase/quadrature-phase amplitudes. *IEEE Transactions on Industrial Electronics*, v. 51, n. 2, p. 511–517, April 2004. ISSN 0278-0046.
- [9] XIAO, F. et al. A frequency-fixed sogi-based pll for single-phase grid-connected converters. *IEEE Transactions on Power Electronics*, v. 32, n. 3, p. 1713–1719, March 2017. ISSN 0885-8993.

- [10] HARRIS, F. J. On the use of windows for harmonic analysis with the discrete fourier transform. *Proceedings of the IEEE*, v. 66, n. 1, p. 51–83, Jan 1978. ISSN 0018-9219.
- [11] Kho, J. et al. Extended analysis of ssn effect on phase-locked loop (pll) circuit. In: *2009 IEEE Electrical Design of Advanced Packaging Systems Symposium (EDAPS)*. [S.l.: s.n.], 2009. p. 1–4. ISSN 2151-1225.
- [12] EGAN, W. F. *Phase-lock basics*. [S.l.]: John Wiley & Sons, 2007.
- [13] BRENNAN, P. V. *Phase-locked loops: principles and practice*. [S.l.]: Macmillan International Higher Education, 1996.
- [14] GOLESTAN, S.; GUERRERO, J. M.; VASQUEZ, J. C. Single-phase plls: A review of recent advances. *IEEE Transactions on Power Electronics*, v. 32, n. 12, p. 9013–9030, Dec 2017. ISSN 0885-8993.
- [15] KARIMI-GHARTEMANI, M. et al. Derivation and design of in-loop filters in phase-locked loop systems. *IEEE Transactions on Instrumentation and Measurement*, v. 61, n. 4, p. 930–940, April 2012. ISSN 0018-9456.
- [16] KARIMI-GHARTEMANI, M.; OOI, B.; BAKHSHAI, A. Application of enhanced phase-locked loop system to the computation of synchrophasors. *IEEE Transactions on Power Delivery*, v. 26, n. 1, p. 22–32, Jan 2011. ISSN 0885-8977.
- [17] HAN, Y. et al. Comparative performance evaluation of orthogonal-signal-generators-based single-phase pll algorithms—a survey. *IEEE Transactions on Power Electronics*, v. 31, n. 5, p. 3932–3944, May 2016. ISSN 0885-8993.
- [18] KARIMI-GHARTEMA, M. Pll structures for single-phase applications. In: _____. *Enhanced Phase-Locked Loop Structures for Power and Energy Applications*. IEEE, 2014. ISBN 9781118795187. Disponível em: <<https://ieeexplore.ieee.org/document/6798246>>.
- [19] KARIMI-GHARTEMANI, M. et al. Addressing dc component in pll and notch filter algorithms. *IEEE Transactions on Power Electronics*, v. 27, n. 1, p. 78–86, Jan 2012. ISSN 0885-8993.

- [20] R.S., D. *PHASE-LOCKED LOOPS FOR WIRELESS COMMUNICATIONS: Digital and Analog Implementation*. [S.l.]: Springer Science+ Business Media, LLC, 1998.
- [21] ARRUDA, L. N. et al. Wide bandwidth single and three-phase pll structures for grid-tied pv systems. In: *Conference Record of the Twenty-Eighth IEEE Photovoltaic Specialists Conference - 2000 (Cat. No.00CH37036)*. [S.l.: s.n.], 2000. p. 1660–1663. ISSN 0160-8371.
- [22] H., G.-C.; C.H., J. Phase-locked loop techniques - a survey. *IEEE Transactions on Industrial Electronics*, v. 43, n. 6, p. 609–615, 1996.
- [23] KAURA, V.; BLASKO, V. Operation of a phase locked loop system under distorted utility conditions. *IEEE Transactions on Industry Applications*, v. 33, n. 1, p. 58–63, Jan 1997. ISSN 0093-9994.
- [24] ARRUDA, L. N.; SILVA, S. M.; FILHO, B. J. C. Pll structures for utility connected systems. In: *Conference Record of the 2001 IEEE Industry Applications Conference. 36th IAS Annual Meeting (Cat. No.01CH37248)*. [S.l.: s.n.], 2001. v. 4, p. 2655–2660. ISSN 0197-2618.
- [25] Karimi-Ghartemani, M.; Iravani, M. R. A method for synchronization of power electronic converters in polluted and variable-frequency environments. *IEEE Transactions on Power Systems*, v. 19, n. 3, p. 1263–1270, Aug 2004. ISSN 0885-8950.
- [26] CIOBOTARU, M.; TEODORESCU, R.; BLAABJERG, F. A new single-phase pll structure based on second order generalized integrator. In: *2006 37th IEEE Power Electronics Specialists Conference*. [S.l.: s.n.], 2006. p. 1–6. ISSN 0275-9306.
- [27] RIDEOUT, V. C. Automatic frequency control of microwave oscillators. *Proceedings of the IRE, IEEE*, v. 35, n. 8, p. 767–771, 1947.
- [28] VINCENT, J. On some experiments in which two neighbouring maintained oscillatory circuits affect a resonating circuit. *Proceedings of the Physical Society of London*, IOP Publishing, v. 32, n. 1, p. 84, 1919.
- [29] APPLETON, E. The automatic synchronization of triode oscillators. *Proc. Camb. Phil. Soc.*, IOP Publishing, v. 21, p. 231–248, 1923.

- [30] TRAVIS, C. Automatic frequency control. *Proceedings of the Institute of Radio Engineers*, v. 23, n. 10, p. 1125–1141, Oct 1935. ISSN 0731-5996.
- [31] FOSTER, D. E.; SEELEY, S. W. Automatic tuning, simplified circuits, and design practice. *Proceedings of the Institute of Radio Engineers*, v. 25, n. 3, p. 289–313, March 1937. ISSN 0731-5996.
- [32] MCALEER, H. T. A new look at the phase-locked oscillator. *Proceedings of the IRE*, v. 47, n. 6, p. 1137–1143, June 1959. ISSN 0096-8390.
- [33] COSTAS, J. P. Synchronous communications. *Proceedings of the IRE, IEEE*, v. 44, n. 12, p. 1713–1718, 1956.
- [34] Taylor, D. P. Introduction to "synchronous communications". *Proceedings of the IEEE*, v. 90, n. 8, p. 1459–1460, Aug 2002. ISSN 0018-9219.
- [35] MARGARIS, N. I. *Theory of the non-linear analog phase locked loop*. [S.l.]: Springer Science & Business Media, 2004.
- [36] Meyr, H.; Popken, L.; Mueller, H. Synchronization failures in a chain of pll synchronizers. *IEEE Transactions on Communications*, v. 34, n. 5, p. 436–445, May 1986. ISSN 0090-6778.
- [37] Gardner, F. Charge-pump phase-lock loops. *IEEE Transactions on Communications*, v. 28, n. 11, p. 1849–1858, November 1980. ISSN 0090-6778.
- [38] RAZAVI, B. Design of monolithic phase-locked loops and clock recovery circuits-a tutorial. IEEE Press, p. 1–39, 1996.
- [39] MARGARIS, N.; PETRIDIS, V. A phase-locked regulator system study of a separately excited dc motor with triangular phase comparator. *International Journal of Electronics Theoretical and Experimental*, Taylor & Francis, v. 52, n. 3, p. 241–261, 1982.
- [40] BLASKO, V.; MOREIRA, J.; LIPO, T. A new field oriented controller utilizing spatial position measurement of rotor end ring current. In: IEEE. *20th Annual IEEE Power Electronics Specialists Conference*. [S.l.], 1989. p. 295–300.

- [41] Moffat, R. et al. Digital phase-locked loop for induction motor speed control. *IEEE Transactions on Industry Applications*, IA-15, n. 2, p. 176–182, March 1979. ISSN 0093-9994.
- [42] Moore, A. W. Phase-locked loops for motor-speed control. *IEEE Spectrum*, v. 10, n. 4, p. 61–67, April 1973. ISSN 0018-9235.
- [43] Reddy, C. P.; Gupta, S. C. A class of all digital phase locked loops: Modeling and analysis. *IEEE Transactions on Industrial Electronics and Control Instrumentation*, IECI-20, n. 4, p. 239–251, Nov 1973. ISSN 0018-9421.
- [44] Mussa, S. A.; Mohr, H. B. Three-phase digital pll for synchronizing on three-phase/switch/level boost rectifier by dsp. In: *2004 IEEE 35th Annual Power Electronics Specialists Conference (IEEE Cat. No.04CH37551)*. [S.l.: s.n.], 2004. v. 5, p. 3659–3664 Vol.5. ISSN 0275-9306.
- [45] Bose, B. K.; Jentzen, K. J. Digital speed control of a dc motor with phase-locked loop regulation. *IEEE Transactions on Industrial Electronics and Control Instrumentation*, IECI-25, n. 1, p. 10–13, Feb 1978. ISSN 0018-9421.
- [46] Reddy, C.; Fountain, E. Digital phase locked loop. In: *ICASSP '78. IEEE International Conference on Acoustics, Speech, and Signal Processing*. [S.l.: s.n.], 1978. v. 3, p. 792–795.
- [47] KLAPPER, J. *Phase-Locked and Frequency Feedback Systems: Principle and Techniques*. [S.l.]: Elsevier, 2012.
- [48] WOLAVER, D. H.; WOLAVER, D. H. *Phase-locked loop circuit design*. [S.l.]: Prentice Hall Englewood Cliffs, New Jersey, 1991.
- [49] MALESANI, L.; ROSSETTO, L.; TENTI, P. Active filter for reactive power and harmonics compensation. In: *1986 17th Annual IEEE Power Electronics Specialists Conference*. [S.l.: s.n.], 1986. p. 321–330. ISSN 0275-9306.
- [50] SILVA, C. H. da et al. A digital pll scheme for three-phase system using modified synchronous reference frame. *IEEE Transactions on Industrial Electronics*, IEEE, v. 57, n. 11, p. 3814–3821, 2010.

- [51] RAO, Y. S.; CHANDORKAR, M. C. Real-time electrical load emulator using optimal feedback control technique. *IEEE Transactions on Industrial Electronics*, IEEE, v. 57, n. 4, p. 1217–1225, 2010.
- [52] Setiawan, I. et al. Comparison of three popular pll schemes under balanced and unbalanced grid voltage conditions. In: *2016 8th International Conference on Information Technology and Electrical Engineering (ICITEE)*. [S.l.: s.n.], 2016. p. 1–6.
- [53] KARIMI-GHARTEMANI, M.; IRAVANI, M. R. Measurement of harmonics/interharmonics of time-varying frequencies. *IEEE Transactions on Power Delivery*, v. 20, n. 1, p. 23–31, Jan 2005. ISSN 0885-8977.
- [54] KARIMI-GHARTEMANI, M. A novel three-phase magnitude-phase-locked loop system. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 53, n. 8, p. 1792–1802, Aug 2006. ISSN 1549-8328.
- [55] KULKARNI, A.; JOHN, V. A novel design method for sogi-pll for minimum settling time and low unit vector distortion. In: *IECON 2013 - 39th Annual Conference of the IEEE Industrial Electronics Society*. [S.l.: s.n.], 2013. p. 274–279. ISSN 1553-572X.
- [56] Brezovic, Z.; Kudjak, V. Optimization pll synthesizer with active rc notch filters. In: *2009 19th International Conference Radioelektronika*. [S.l.: s.n.], 2009. p. 199–202.
- [57] GOLESTAN, S. et al. Design and tuning of a modified power-based pll for single-phase grid-connected power conditioning systems. *IEEE Transactions on Power Electronics*, IEEE, v. 27, n. 8, p. 3639–3650, 2012.
- [58] RAMIREZ, F.; ARJONA, M. Development of a grid-connected wind generation system with a modified pll structure. *IEEE Transactions on Sustainable Energy*, IEEE, v. 3, n. 3, p. 474–481, 2012.
- [59] CARUGATI, I. et al. Frequency adaptive pll for polluted single-phase grids. *IEEE Transactions on Power Electronics*, IEEE, v. 27, n. 5, p. 2396–2404, 2012.
- [60] Kuznetsov, N. V. et al. Nonlinear mathematical models of costas loop for general waveform of input signal. In: *2012 IEEE 4th International Conference on Nonlinear Science and Complexity (NSC)*. [S.l.: s.n.], 2012. p. 75–80.

- [61] GARDNER, F. M. *Phaselock techniques*. [S.l.]: John Wiley & Sons, 2005.
- [62] LINDSEY, W. C.; SIMON, M. K. *Telecommunication systems engineering*. [S.l.]: Courier Corporation, 1991.
- [63] KROUPA, V. F. *Phase lock loops and frequency synthesis*. [S.l.]: John Wiley & Sons, 2003.
- [64] VITERBI, A. J. *Principles of coherent communication*. [S.l.]: McGraw-Hill, 1966.
- [65] LEONOV, G.; KUZNETSOV, N.; SELEDZHI, S. Nonlinear analysis and design of phase-locked loops. In: *Automation control-Theory and Practice*. [S.l.]: InTech, 2009.
- [66] MEYR, H.; ASCHEID, G. *Synchronization in Digital Communications: Phase-, frequency-locked loops and amplitude control*. [S.l.]: Wiley, 1990.
- [67] ENCINAS, J. *Phase locked loops*. [S.l.]: Springer Science & Business Media, 2012.
- [68] ABRAMOVITCH, D. Phase-locked loops: A control centric tutorial. In: *IEEE. Proceedings of the 2002 American Control Conference (IEEE Cat. No. CH37301)*. [S.l.], 2002. v. 1, p. 1–15.
- [69] DECKMANN, S. M.; POMILIO, J. A. Avaliação da qualidade da energia elétrica. available in <http://www.dsce.fee.unicamp.br/antenor/pdf/qualidade/b5.pdf>, 2017.
- [70] G.L., R. *Understanding Digital Signal Processing*. [S.l.]: Prentice Hall, 1948.
- [71] DINIZ, P. S.; SILVA, E. A. da; NETTO, S. L. *Processamento Digital de Sinais:- Projeto e Análise de Sistemas*. [S.l.]: Bookman Editora, 2014.
- [72] F., F. G.; D., P. J.; E., N. A. *Sistemas de controle para a engenharia*. third. [S.l.]: Traduzido por SOUZA F. d. O. Porto Alegre Bookman, 2011.
- [73] J., A. K.; WITTERMARK, B. *Computer-Controlled Systems: Theory and Design*. third. [S.l.]: Prentice-Hall, 1997.
- [74] SEDRA, A. S.; SMITH, K. C. *Microelectronic circuits*. [S.l.]: New York: Oxford University Press, 1998.

- [75] BUSO, S.; MATTAVELLI, P. *Digital Control in Power Electronics, 2nd Edition*. Morgan and Claypool, 2015. ISBN 9781627057547. Disponível em: <<https://ieeexplore.ieee.org/document/7111813>>.
- [76] PIQUEIRA, J. R. C.; MONTEIRO, L. H. A. Considering second-harmonic terms in the operation of the phase detector for second-order phase-locked loop. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, IEEE, v. 50, n. 6, p. 805–809, 2003.
- [77] ANEEL, A. N. de E. E. *Procedimentos de Distribuição de Energia Elétrica no Sistema Elétrico Nacional*. 2010.
- [78] KATISUHIKO, O. *Modern Control Engineering*. third. [S.l.]: Prentice-Hall, 1997.
- [79] SMITH, J. O. *Physical Audio Signal Processing*. [S.l.]: <http://ccrma.stanford.edu/~jos/pasp/>, accessed 2018. Online book, 2010 edition.
- [80] DORF, R. C.; BISHOP, R. H. *Sistemas de controle modernos*, 2001. 8ª, 2001.